

DAFTAR ISI

SKRIPSI.....	ii
HALAMAN PENGESAHAN.....	iii
PERNYATAAN BEBAS PLAGIASI	iv
KATA PENGANTAR	v
HALAMAN PERSEMBAHAN	vii
DAFTAR ISI.....	viii
DAFTAR GAMBAR	x
DAFTAR TABEL.....	xii
INTISARI.....	xiii
ABSTRACT.....	xiv
BAB I PENDAHULUAN	1
1.1 Latar Belakang	1
1.2 Rumusan Masalah	2
1.3 Batasan Masalah.....	2
1.4 Tujuan Penelitian.....	3
1.5 Manfaat Penelitian.....	3
1.6 Metodologi Penelitian	3
1.7 Sistematika Penulisan.....	4
BAB II TINJAUAN PUSTAKA.....	6
BAB III LANDASAN TEORI.....	10
3.1 Secure Hash Algorithm-3 (SHA-3).....	10
3.2 Pipeline	12
3.3 Digital Signal Processor (DSP)	12
3.4 Nexys A7-100T	13
3.5 Analisis Pewaktuan	14
BAB IV ANALISIS DAN PERANCANGAN SISTEM.....	15
4.1 Analisis Sistem	15
4.2 Tahapan Penelitian	16
4.3 Rancangan Implementasi Sistem.....	17
4.3.1 Rancangan sistem lapisan atas (<i>Top level design</i>)	17
4.3.2 Rancangan modul <i>data path</i>	17
4.3.3 Rancangan modul kontroler	21
4.3.4 Rancangan GUI (<i>Graphical User Interface</i>).....	25
4.4 Rencana Pengujian Sistem	27
BAB V IMPLEMENTASI.....	28
5.1 Implementasi Rangkaian	28
5.2 Implementasi Desain Lapisan Atas (<i>Top Level Design</i>)	29
5.3 Modul <i>Data Path</i>	29
5.3.1 Modul <i>buffer</i> masukan	29
5.3.2 Modul penyimpanan data	29
5.3.3 Modul fungsi permutasi SHA-3	30
5.3.4 Modul <i>buffer</i> luaran.....	36
5.4 Modul Kendali.....	37

5.5	<i>User Constraints</i>	38
BAB VI HASIL DAN PEMBAHASAN		39
6.1	Pengujian Modul Fungsi Permutasi SHA-3	39
6.2	Hasil Sintesis dan Implementasi <i>Top level design</i>	39
6.3	Hasil Sintesis dan Implementasi Modul Kontroler	43
6.4	Hasil Sintesis dan Implementasi Modul <i>Data Path</i>	43
6.5	Hasil Sintesis dan Implementasi Modul Fungsi Permutasi	43
6.6	Analisis Pewaktuan Sistem	51
6.7	Analisis Sumber Daya	53
6.8	Pengujian Implementasi Sistem pada FPGA.....	55
6.9	Perbandingan Hasil Penelitian dengan Penelitian Sebelumnya	59
BAB VII KESIMPULAN DAN SARAN		60
7.1	Kesimpulan.....	60
7.2	Saran	60
DAFTAR PUSTAKA		61
LAMPIRAN.....		63