

ABSTRACT

Today many systems require authentication, one of which is a security system using a password or pin. One of solution authentication that easy and safe is fingerprint biometric-based authentication. There are many fingerprint authentication algorithms but generally work on PCs with large resources like high-computing processors, large RAM memory and other support.

Implementation of fingerprint authentication algorithms has no problem if it's executed on the computer. However, the implementation of fingerprint authentication algorithms on embedded systems produces relatively heavy computational loads that require a long time of execution due to the characteristics of embedded systems that have lower clock frequencies and limited memory and peripheral resources.

The fingerprint authentication algorithm has several stages of image processing, one of which is the High Pass Filter (HPF) with a 16x16 kernel size. In this research will be designed High Pass Filter (HPF) module hardware as a co-processor that can perform High Pass Filter (HPF) 16x16 operation for fingerprint authentication purposes in order to increase computing and speed up the time of execution of High Pass Filter (HPF) on embedded systems. Implementation of High Pass Filter (HPF) written in verilog code then synthesized using Quartus tool then verified by FPGA Altera Cyclone IV EP4CE22F17C6N. The test is performed by verifying the functionality of the High Pass Filter module with the help of Nios II as a host-processor.

The test results showed that High Pass Filter computing on the FPGA can be upgraded to 290% faster than when run on the Nios II processors only with a 122% increase in the amount of Logic Element (LE) and energy efficiency of 2.3

Keywords - high pass filter, FPGA, Nios II, fingerprint authentication

INTISARI

Saat ini banyak sistem yang memerlukan autentikasi, salah satunya adalah sistem keamanan menggunakan *password* atau pin. Salah satu solusi autentikasi yang mudah dan aman adalah autentikasi berbasis biometrik sidik jari. Ada banyak algoritma autentikasi sidik jari namun umumnya berjalan di atas komputer PC yang memiliki *resource* besar seperti prosesor dengan komputasi tinggi, memori RAM yang besar dan pendukung lainnya.

Pengimplementasian algoritma autentikasi sidik jari tidak mengalami kendala apabila dieksekusi di komputer. Namun implementasi algoritma autentikasi sidik jari pada *embedded system* menghasilkan beban komputasi yang relatif berat sehingga membutuhkan waktu eksekusi yang lama karena karakteristik *embedded system* yang memiliki frekuensi *clock* yang lebih rendah dan *resource* memori serta periperal yang terbatas.

Algoritma autentikasi sidik jari memiliki beberapa tahapan *image processing*, salah satunya adalah *High Pass Filter* (HPF) dengan ukuran kernel 16x16. Pada penelitian ini akan dirancang perangkat keras modul *High Pass Filter* (HPF) sebagai co-prosesor yang dapat melakukan operasi *High Pass Filter* (HPF) 16x16 untuk keperluan autentikasi sidik jari dengan tujuan agar dapat meningkatkan komputasi dan mempercepat waktu eksekusi *High Pass Filter* (HPF) pada *embedded system*. Implementasi *High Pass Filter* (HPF) ditulis dalam kode verilog kemudian disintesis menggunakan *tool* Quartus II lalu diverifikasi pada FPGA Altera Cyclone IV EP4CE22F17C6N. Pengujian dilakukan dengan memverifikasi fungsi modul *High Pass Filter* dengan bantuan Nios II sebagai *host*-prosesor.

Hasil pengujian menunjukkan bahwa komputasi *High Pass Filter* pada FPGA dapat ditingkatkan menjadi 290% lebih cepat dibandingkan dengan ketika dijalankan di atas Nios II prosesor saja dengan kompensasi kenaikan jumlah *Logic Element* (LE) sebesar 122% dan efisiensi energi sebesar 2.3

Kata kunci -- high pass filter, FPGA, Nios II, autentikasi sidik jari