



## DAFTAR ISI

HALAMAN PENGESAHAN.....	ii
PERNYATAAN.....	iii
HALAMAN PERSEMBAHAN .....	iv
KATA PENGANTAR .....	v
DAFTAR ISI.....	vii
DAFTAR GAMBAR .....	x
Intisari .....	xiii
Abstract .....	xiv
BAB I.....	1
1. PENDAHULUAN .....	1
1.1 Latar Belakang .....	1
1.2 Rumusan Masalah .....	3
1.3 Batasan Masalah.....	3
1.4 Tujuan Penelitian.....	4
1.5 Manfaat Penelitian.....	4
1.6 Sistematika Penulisan.....	5
BAB II.....	7
2. DASAR TEORI .....	7
2.1 Prosesor .....	7
2.1.1 Arsitektur umum prosesor.....	8
2.1.2 <i>Address Bus, Data Bus, Control Bus</i> .....	11
2.1.3 Cara kerja mikroprosessor .....	12
2.1.4 CISC dan RISC .....	14
2.1.5 <i>ASIP (Application Specific Instruction Set Processor)</i> .....	16
2.2 Memori .....	17
2.2.1 <i>Random Access Memory (RAM)</i> .....	18
2.2.2 <i>Read Only Memory (ROM)</i> .....	18
2.3 SystemC.....	20



2.3.1	Module .....	21
2.3.2	<i>Port, Interface dan Channel</i> .....	22
2.3.3	<i>Process</i> .....	23
2.3.4	<i>Event</i> .....	24
BAB III .....		25
3. PERANCANGAN SISTEM .....		25
3.1	Arsitektur GAMA32.....	25
3.1.1	<i>Module dan Port</i> .....	25
3.1.2	<i>Instruction Set</i> .....	27
3.1.3	<i>State dan Cycle</i> prosesor .....	29
3.2	Pemodelan prosesor dengan SystemC.....	30
3.3	GAMA32_cpu module .....	32
3.3.1	Deklarasi <i>port</i> dan fungsi .....	32
3.3.2	Fungsi <i>CPUCycle</i> .....	36
3.3.3	Fungsi <i>ROMStatus</i> .....	45
3.3.4	Fungsi <i>RAMStatusR</i> .....	46
3.3.5	Fungsi <i>RAMStatusW</i> .....	47
3.4	<i>Read Only Memory (ROM) module</i> .....	47
3.4.1	Deklarasi <i>port</i> dan fungsi .....	47
3.4.2	Fungsi <i>memExecute</i> .....	50
3.4.3	Fungsi <i>memStatus</i> .....	52
3.5	<i>Random Access Memory (RAM) module</i> .....	52
3.5.1	Deklarasi <i>port</i> dan fungsi .....	52
3.5.2	Fungsi <i>memExecute</i> .....	55
3.5.3	Fungsi <i>memStatusRD</i> .....	57
3.5.4	Fungsi <i>memStatusWR</i> .....	57
3.6	<i>Testbench module</i> .....	58
3.6.1	Deklarasi sinyal dan koneksi ke <i>port</i> .....	58
3.6.2	Fungsi <i>sc_main</i> .....	60
BAB IV .....		62
4. HASIL DAN PEMBAHASAN.....		62



4.1	Hasil Simulasi.....	62
4.1.1.	Tipe RRI.....	63
4.1.2.	Tipe RRR .....	64
4.1.3.	Tipe RR .....	65
4.1.4.	Tipe RI .....	67
4.1.5.	Tipe R.....	69
4.1.6.	Tipe I.....	69
4.1.7.	Tipe RRRR.....	70
BAB V	.....	72
5.	KESIMPULAN DAN SARAN.....	72
5.1	Kesimpulan.....	72
5.2	Saran.....	73
6.	DAFTAR PUSTAKA .....	74
7.	LAMPIRAN 1 .....	76
8.	LAMPIRAN 2.....	81



## DAFTAR GAMBAR

Gambar 1.1 Banyaknya instruksi pada <i>embedded system</i> dari tahun ke tahun.....	2
Gambar 2.1 Sistem Komputer yang terdiri dari prosesor, memori dan I/O <i>devices</i>	8
Gambar 2.2 Pengambilan instruksi dan data antara prosesor dengan memori .....	9
Gambar 2.3 Pengambilan data dan instruksi pada <i>Harvard Architecture</i> .....	10
Gambar 2.4 Sistem tiga bus antara prosesor dengan memori .....	11
Gambar 2.5 Bagian dan <i>state</i> dalam prosesor secara umum.....	12
Gambar 2.6 Input, output dan <i>control signal</i> yang menjalankan ALU.....	13
Gambar 2.7 Memori yang tersusun secara <i>bit organized</i> dan <i>word organized</i> .....	17
Gambar 2.8 Tahapan perancangan sebuah <i>hardware</i> .....	21
Gambar 2.9 Deklarasi <i>module</i> pada SystemC.....	21
Gambar 2.10 Penulisan <i>sensitivity</i> pada SystemC .....	22
Gambar 2.11 Deklarasi <i>port</i> input dan output pada SystemC.....	22
Gambar 2.12 Cara kerja <i>event</i> sebagai <i>trigger</i> proses berikutnya .....	24
Gambar 3.1 <i>Module</i> GAMA32, ROM dan RAM dalam satu <i>testbench</i> .....	27
Gambar 3.2 <i>Instruction set</i> prosesor GAMA32 .....	31
Gambar 3.3 Deklarasi <i>port</i> prosesor GAMA32 .....	34
Gambar 3.4 <i>Module</i> prosesor GAMA32.....	34
Gambar 3.5 Deklarasi fungsi <i>CPUCycle</i> , <i>ROMStatus</i> dan <i>RAMStatus</i> .....	36
Gambar 3.6 Program yang menggambarkan <i>state fetch</i> .....	37



Gambar 3.7 Program yang menggambarkan proses yang dilakukan pada <i>state decode</i> .....	40
Gambar 3.8 Program yang digunakan untuk menerima <i>control signal</i> dari <i>state decode</i> dan mengirim <i>control signal</i> ke <i>state execute</i> . .....	41
Gambar 3.9 Perintah yang dikerjakan pada saat <i>state writeback</i> .....	45
Gambar 3.10 Fungsi <i>ROMStatus</i> .....	46
Gambar 3.11 Fungsi <i>RAMStatus</i> .....	47
Gambar 3.12 Fungsi <i>RAMStatus</i> .....	47
Gambar 3.13 Deklarasi <i>port</i> pada <i>module ROM</i> .....	48
Gambar 3.14 <i>Module ROM</i> .....	48
Gambar 3.15 Deklarasi fungsi pada <i>module ROM</i> .....	49
Gambar 3.16 Instruksi yang dikirimkan oleh ROM .....	50
Gambar 3.17 Perintah yang akan dikerjakan oleh fungsi <i>memExecute</i> .....	51
Gambar 3.18 Perintah yang dikerjakan oleh fungsi <i>memStatus</i> .....	52
Gambar 3.19 Deklarasi RAM <i>module</i> .....	53
Gambar 3.20 <i>Module RAM</i> .....	53
Gambar 3.21 Deklarasi fungsi yang digunakan pada <i>module RAM</i> .....	55
Gambar 3.22 Perintah yang digunakan untuk mengirimkan data ke prosesor dan menyimpan data yang diterima dari prosesor .....	56
Gambar 3.23 Perintah yang mengatur <i>control signal</i> apabila RD berlogika <i>true</i> . 57	
Gambar 3.24 Perintah yang mengatur <i>control signal</i> apabila WR berlogika <i>true</i> 58	
Gambar 3.25 Deklarasi sinyal pada <i>module testbench</i> .....	59



Gambar 3.26 Deklarasi sinyal yang digunakan untuk menghubungkan <i>port</i> antar <i>module</i> .....	60
Gambar 3.27 Perintah yang digunakan untuk menampilkan isi dari tiap <i>register</i>	61
Gambar 4.1 Hasil Instruksi ADDI R0, R1, 0x0008 .....	63
Gambar 4.2 Hasil Instruksi SUBI R1, R0, 0x0005 .....	63
Gambar 4.3 Hasil Instruksi SHRI R2, R0, 0x0001 .....	64
Gambar 4.4 Hasil Instruksi ADD R3, R1, R2.....	65
Gambar 4.5 Hasil Instruksi SUB R4, 43, R1 .....	65
Gambar 4.6 Hasil Instruksi SHL R5, R4, R1 .....	65
Gambar 4.7 Hasil instruksi MOV R6, R1 .....	66
Gambar 4.8 Hasil instruksi STR [R3], R6 .....	67
Gambar 4.9 Hasil instruksi LDR R7, [R3].....	67
Gambar 4.10 Hasil instruksi MOVI R8, 0x0018 .....	68
Gambar 4.11 Hasil instruksi CMPI R0, 0x0008 .....	68
Gambar 4.12 Instruksi BEQ R8 yang sedang dieksekusi .....	69
Gambar 4.13 Instruksi CMPI R1, 0x000C yang digunakan untuk membuktikan instruksi BRILT 0x002E .....	70
Gambar 4.14 Hasil instruksi MUL R11, R10, R0, R1 .....	71