

DAFTAR ISI

| | |
|---|-------|
| HALAMAN PENGESAHAN..... | II |
| HALAMAN PERSEMBAHAN | III |
| KATA PENGANTAR | IV |
| DAFTAR ISI..... | VII |
| DAFTAR TABEL..... | X |
| DAFTAR GAMBAR | XI |
| DAFTAR SINGKATAN | XVI |
| INTISARI..... | XVIII |
| ABSTRACT | XIX |
| 1 BAB I..... | 1 |
| 1.1 Latar Belakang | 1 |
| 1.2 Rumusan Masalah | 2 |
| 1.3 Batasan Masalah..... | 3 |
| 1.4 Tujuan Penelitian | 4 |
| 1.5 Sistematika Penelitian | 4 |
| 2 BAB II..... | 6 |
| 2.1 <i>Phase Locked Loop (PLL)</i> | 6 |
| 2.2 <i>Quadrature Signal Generator (QSG)</i> | 9 |
| 2.2.1 <i>QSG dengan Transport Delay T/4</i> | 9 |
| 2.2.2 <i>QSG dengan Hilbert Transform</i> | 10 |
| 2.2.3 <i>QSG dengan All Pass Filter Orde Satu</i> | 11 |
| 2.2.4 <i>QSG dengan All Pass Filter Orde Dua</i> | 12 |

| | | |
|--------|---|----|
| 2.2.5 | <i>QSG dengan Second Order Generalized Integrator (SOGI)</i> | 12 |
| 2.2.6 | <i>QSG dengan Inverse Park Transform</i> | 13 |
| 2.3 | <i>Single Phase Full bridge Voltage Source Inverter</i> | 13 |
| 2.4 | Sistem Kendali Daya Aktif dan Reaktif Berbasis Transformasi <i>dq</i> | 17 |
| 3 | BAB III | 22 |
| 3.1 | Diagram Alir Penelitian | 26 |
| 3.1.1 | <i>Pengujian Transformasi dq</i> | 27 |
| 3.1.2 | <i>Pengujian PLL</i> | 29 |
| 3.1.3 | <i>Pengujian Kendali PI</i> | 29 |
| 3.1.4 | <i>Operasi Saklar Otomatis Inverter dengan Metode Transport Delay T/4</i> | 30 |
| 3.1.5 | <i>Operasi Saklar Otomatis Inverter dengan Metode APF Orde Satu</i> . | 31 |
| 3.2 | Rangkaian Simulasi..... | 31 |
| 3.2.1 | <i>Single Phase Full Bridge Unipolar Inverter</i> | 32 |
| 3.2.2 | <i>Kendali PI Inverter</i> | 34 |
| 3.2.3 | <i>Perhitungan Arus Referensi</i> | 35 |
| 3.2.4 | <i>Rangkaian PLL</i> | 36 |
| 3.2.5 | <i>Transformasi dq</i> | 37 |
| 3.2.6 | <i>Saklar Otomatis Operasi Inverter</i> | 39 |
| 3.2.7 | <i>Beban</i> | 40 |
| 3.2.8 | <i>Kendali Otomatis Inverter</i> | 41 |
| 3.2.9 | <i>Masukan Daya</i> | 42 |
| 3.2.10 | <i>Induktor</i> | 43 |

| | | |
|----------|---|----|
| 3.2.11 | <i>Tegangan Grid</i> | 44 |
| 3.2.12 | <i>Rangkaian Pengujian Transformasi dq</i> | 47 |
| 3.2.12.1 | <i>QSG dengan Transport delay T/4</i> | 48 |
| 3.2.12.2 | <i>QSG dengan All pass filter Orde Satu</i> | 49 |
| 3.2.12.3 | <i>QSG dengan All Pass Filter Orde Dua</i> | 49 |
| 3.2.12.4 | <i>QSG dengan Second Order Generalized Integrator (SOGI)</i> . | 50 |
| 3.2.12.5 | <i>QSG dengan Inverse Park Transform</i> | 51 |
| 4 | BAB IV | 52 |
| 4.1 | Pengujian Transformasi dq | 52 |
| 4.1.1 | <i>Transport Delay T/4</i> | 54 |
| 4.1.2 | <i>All Pass Filter Orde Satu</i> | 55 |
| 4.1.3 | <i>All Pass Filter Orde Dua</i> | 56 |
| 4.1.4 | <i>Second Order Generalized Integrator (SOGI)</i> | 57 |
| 4.1.5 | <i>Inverse Park Transform</i> | 59 |
| 4.2 | Pengujian PLL | 61 |
| 4.3 | Pengujian Kendali PI | 69 |
| 4.4 | Pengujian Kendali Otomatis Inverter dengan Transport Delay T/4 | 72 |
| 4.5 | Pengujian Kendali Otomatis Inverter dengan APF Orde Satu | 78 |
| 5 | BAB V | 84 |
| 5.1 | Kesimpulan | 84 |
| 5.2 | Saran | 85 |
| | DAFTAR PUSTAKA | 87 |
| | LAMPIRAN | 89 |

DAFTAR TABEL

| | |
|--|----|
| Tabel 1 Kondisi saklar untuk <i>full bridge inverter</i> | 15 |
|--|----|

DAFTAR GAMBAR

| | |
|---|----|
| Gambar 2.1 Blok dasar PLL dan gelombangnya (Teodorescu et al., 2010) | 7 |
| Gambar 2.2 PLL dengan transformasi park (Teodorescu et al., 2010) | 7 |
| Gambar 2.3 Blok PLL dengan <i>transport delay</i> T/4 (Teodorescu et al., 2010) | 10 |
| Gambar 2.4 Blok PLL dengan <i>Hilbert transform</i> (Teodorescu et al., 2010) | 10 |
| Gambar 2.5 <i>all pass filter</i> orde satu (Zumbahlen, 2008) | 11 |
| Gambar 2.6 Diagram blok PLL yang menggunakan <i>inverse park transform</i> (Wang et al., 2012)..... | 13 |
| Gambar 2.7 <i>Single-phase full-bridge VSI</i> (Luo et al., 2010)..... | 15 |
| Gambar 2.8 PWM dengan <i>unipolar switching</i> (Mohan et al., 1989) | 16 |
| Gambar 2.9 Sistem kendali daya aktif dan reaktif berbasis transformasi <i>dq</i> | 18 |
| Gambar 2.10 Referensi daya untuk <i>inverter</i> satu fase (Teodorescu et al., 2008) . | 21 |
| Gambar 3.1 Aliran arus saat saklar dalam kondisi <i>off</i> | 23 |
| Gambar 3.2 Aliran arus saat saklar dalam kondisi <i>on</i> | 23 |
| Gambar 3.3 Bagian-bagian <i>inverter</i> sebagai penambah daya..... | 24 |
| Gambar 3.4 <i>Flowchart</i> prinsip kerja integrasi sistem: (a) proses pengiriman daya; (b) proses kerja <i>inverter</i> | 25 |
| Gambar 3.5 Diagram alir penelitian..... | 26 |
| Gambar 3.6 Transformasi $dq, \alpha\beta$ ke dq | 27 |
| Gambar 3.7 Transformasi dq, dq ke $\alpha\beta$ | 27 |
| Gambar 3.8 Transformasi dq dengan satu sinyal masukan..... | 28 |
| Gambar 3.9 Blok pengujian PLL | 29 |

| | |
|---|----|
| Gambar 3.10 Rangkaian sistem <i>inverter</i> sebagai penambah daya yang terintegrasi <i>grid</i> | 32 |
| Gambar 3.11 Topologi <i>unipolar single phase full bridge inverter</i> | 33 |
| Gambar 3.12 Blok rangkaian kendali PI <i>inverter</i> | 34 |
| Gambar 3.13 Perhitungan arus referensi | 35 |
| Gambar 3.14 Rangkaian PLL..... | 36 |
| Gambar 3.15 Rangkaian PLL dengan BPF | 37 |
| Gambar 3.16 Transformasi <i>dq</i> pada tegangan <i>grid</i> | 38 |
| Gambar 3.17 Transformasi <i>dq</i> pada : (a) arus <i>grid</i> , (b) arus <i>inverter</i> , dan (c) arus beban | 39 |
| Gambar 3.18 Rangkaian perhitungan daya aktif dan reaktif: (a) <i>grid</i> , (b) beban, dan (c) <i>inverter</i> | 40 |
| Gambar 3.19 Rangkaian beban | 41 |
| Gambar 3.20 Rangkaian kendali otomatis operasi <i>inverter</i> | 42 |
| Gambar 3.21 Rangkaian daya referensi <i>inverter</i> | 43 |
| Gambar 3.22 Induktor sebagai pembatas daya <i>inverter</i> | 44 |
| Gambar 3.23 Sumber <i>grid</i> dalam keadaan normal..... | 45 |
| Gambar 3.24 Rangkaian <i>grid</i> terdistorsi | 46 |
| Gambar 3.25 <i>Grid</i> yang berubah fase pada waktu tertentu..... | 47 |
| Gambar 3.26 Pembuat θ_{ref} konstan..... | 48 |
| Gambar 3.27 QSG dengan <i>transport delay</i> T/4 | 48 |
| Gambar 3.28 Rangkaian <i>all pass filter</i> orde satu | 49 |
| Gambar 3.29 Rangkaian geser fase dengan <i>all pass filter</i> orde dua | 50 |

| | |
|---|----|
| Gambar 3.30 QSG dengan metode SOGI | 50 |
| Gambar 3.31 QSG dengan <i>inverse park transform</i> | 51 |
| Gambar 4.1 Bentuk $\alpha\beta$ sempurna | 52 |
| Gambar 4.2 Transformasi <i>dq</i> dengan menggunakan dua sumber | 53 |
| Gambar 4.3 Keluaran sinyal <i>orthogonal</i> $\alpha\beta$ dengan metode <i>transport delay</i> T/4 | 54 |
| Gambar 4.4 Transformasi <i>dq</i> dengan metode <i>transport delay</i> T/4 | 54 |
| Gambar 4.5 Keluaran sinyal <i>orthogonal</i> $\alpha\beta$ dengan metode <i>all pass filter</i> orde satu | 55 |
| Gambar 4.6 Transformasi <i>dq</i> dengan metode <i>all pass filter</i> orde satu | 55 |
| Gambar 4.7 Keluaran sinyal <i>orthogonal</i> $\alpha\beta$ dengan metode <i>all pass filter</i> orde dua | 56 |
| Gambar 4.8 Transformasi <i>dq</i> dengan metode <i>all pass filter</i> orde dua | 57 |
| Gambar 4.9 Keluaran sinyal <i>orthogonal</i> $\alpha\beta$ dengan metode SOGI..... | 58 |
| Gambar 4.10 Transformasi <i>dq</i> dengan metode SOGI..... | 58 |
| Gambar 4.11 Keluaran sinyal <i>orthogonal</i> $\alpha\beta$ dengan metode <i>inverse park</i> <i>transform</i> | 59 |
| Gambar 4.12 Transformasi <i>dq</i> dengan metode <i>inverse park transform</i> | 59 |
| Gambar 4.13 Penguncian fase tegangan <i>grid</i> menggunakan PLL | 61 |
| Gambar 4.14 Ketidakmampuan PLL dalam mengunci fase | 62 |
| Gambar 4.15 Kendali PI mengendalikan <i>error</i> dalam kondisi stabilnya..... | 63 |
| Gambar 4.16 Hasil penguncian PLL dengan $K_p = 86$ dan $T_i = 0,1$ | 63 |
| Gambar 4.17 Penguncian PLL pada <i>grid</i> terdistorsi..... | 64 |
| Gambar 4.18 Gelombang keluaran PLL saat <i>grid</i> terdistorsi | 65 |

| | |
|---|----|
| Gambar 4.19 Penguncian fase <i>grid</i> terdistorsi oleh PLL dengan BPF | 65 |
| Gambar 4.20 Tegangan <i>grid</i> yang mengalami kedip | 66 |
| Gambar 4.21 Penguncian tegangan <i>grid</i> yang kedip dengan <i>transport delay</i> T/4 | 67 |
| Gambar 4.22 Penguncian tegangan <i>grid</i> yang kedip dengan APF orde satu | 67 |
| Gambar 4.23 penguncian tegangan <i>grid</i> yang kedip dengan SOGI..... | 68 |
| Gambar 4.24 Keluaran daya <i>inverter</i> tanpa kendali PI..... | 69 |
| Gambar 4.25 Keluaran daya <i>inverter</i> dengan $K_p = 3,488$ dan $T_i = 3,56 \times 10^{-3}$ | 70 |
| Gambar 4.26 Keluaran daya <i>inverter</i> dengan $K_p = 10$ dan $T_i = 0,1$ | 71 |
| Gambar 4.27 Keluaran daya <i>inverter</i> dengan $K_p = 50$ dan $T_i = 0,8$ | 72 |
| Gambar 4.28 Daya aktif sistem saat beban rendah, menjadi tinggi dan kembali rendah..... | 73 |
| Gambar 4.29 Bentuk arus saat ada perubahan menuju kondisi <i>on</i> dan kemudian kembali <i>off</i> | 74 |
| Gambar 4.30 Arus keluaran <i>inverter</i> dalam bentuk <i>orthogonal</i> $\alpha\beta$ | 74 |
| Gambar 4.31 Daya aktif sistem saat beban rendah, tepat pada nilai transisi, dan beban tinggi..... | 76 |
| Gambar 4.32 Kondisi arus saat beban rendah, tepat pada nilai transisi, dan beban tinggi | 76 |
| Gambar 4.33 Kondisi arus saat beban mendekati nilai transisi | 77 |
| Gambar 4.34 Daya aktif saat beban mendekati nilai transisi | 77 |
| Gambar 4.35 Kondisi saklar..... | 78 |
| Gambar 4.36 Daya aktif sistem dengan metode APF orde satu..... | 79 |
| Gambar 4.37 Arus sistem dengan metode <i>all pass filter</i> orde satu..... | 80 |

| | |
|--|----|
| Gambar 4.38 Arus sistem dengan metode APF orde satu pada beban transisi | 80 |
| Gambar 4.39 Transformasi dq dengan metode <i>all pass filter</i> orde satu..... | 81 |
| Gambar 4.40 Daya aktif sistem dengan metode APF orde satu pada beban transisi | 82 |
| Gambar 4.41 Kondisi saklar sistem dengan metode APF orde satu pada beban transisi | 83 |