

DAFTAR ISI

COVER	i
Halaman Judul.....	ii
HALAMAN PERSETUJUAN.....	iii
PERNYATAAN.....	iv
KATA PENGANTAR	v
DAFTAR ISI.....	vi
DAFTAR GAMBAR	viii
DAFTAR TABEL.....	ix
INTISARI.....	x
ABSTRACT.....	xi
1. BAB I PENDAHULUAN	1
1.1 Latar Belakang	1
1.2 Rumusan Masalah	2
1.3 Batasan Masalah.....	3
1.4 Tujuan Penelitian	3
1.5 Manfaat Penelitian	3
1.6 Metodologi Penelitian	3
1.7 Sistematika Penulisan	4
2. BAB II TINJAUAN PUSTAKA.....	7
3. BAB III LANDASAN TEORI.....	11
3.1. <i>Convolutional Neural Network</i> (CNN)	11
3.1.1. Lapisan Konvolusi 2D	12
3.1.2. Lapisan <i>Pooling</i>	13
3.1.3. Lapisan <i>Fully Connected</i>	13
3.2. Distributed Arithmetic (DA)	13
3.3. Representasi <i>Fixed Point</i>	14
3.4. Perkalian <i>Signed Integer</i>	14
3.5. <i>Field Programmable Gate Array</i> (FPGA)	15
3.6. Analisis Pewaktuan	17
4. BAB IV ANALISIS DAN PERANCANGAN SISTEM.....	18
4.1. Analisis Kebutuhan Sistem	18
4.2. Rancangan Analisa	19
4.3. Tahapan Penelitian	20
4.4. Rancangan Sistem	22
4.4.1. Data Path	26
4.4.2. Control Unit (CU)	28
4.4.3. Rancangan Perangkat Lunak.....	30
4.5. Pengujian sistem.....	31
4.5.1. Pengukuran sumber daya	31
4.5.2. Pengujian akurasi	31
4.5.3. Pengukuran waktu proses.....	31
5. BAB V IMPLEMENTASI.....	32
5.1. Implementasi	32

5.2. Implementasi top level	33
5.3. Modul <i>Data Path</i>	33
5.3.1. <i>Buff</i> Bobot	33
5.3.2. <i>Buff</i> Masukan	34
5.3.3. Konvolusi	36
5.4. Modul kendali	39
5.5. <i>User constraints</i>	40
5.5.1. <i>Clock constraint</i>	40
5.5.2. <i>Input constraints</i>	40
5.5.3. <i>Output constraints</i>	41
5.5.4. <i>UART Constraint</i>	41
5.6. Pengujian sistem.....	42
5.6.1. Uji fungsional modul <i>buff</i> bobot	42
5.6.2. Uji fungsional modul <i>buff</i> masukan	42
5.6.3. Uji fungsional modul Konvolusi.....	44
5.7. Hasil sintesis dan implementasi <i>top level</i>	48
5.8. Hasil sintesis dan implementasi modul kendali	49
5.9. Hasil sintesis dan implementasi <i>data path</i>	51
5.10. Hasil sintesis dan implementasi konvolusi	51
5.11. Hasil sintesis dan implementasi <i>distributed arithmetic</i>	51
6. BAB VI HASIL DAN PEMBAHASAN	54
6.1. Rancangan 8 bit dengan 9 elemen proses.....	54
6.1.1. Analisis pewaktuan sistem	54
6.1.2. Analisis sumber daya	56
6.1.3. Pengujian implementasi pada FPGA	57
6.2. Eksplorasi Lebar Data	59
6.3. Eksplorasi Jumlah Elemen Proses.....	61
7. BAB VII KESIMPULAN DAN SARAN	64
7.1. Kesimpulan.....	64
7.2. Saran.....	65
8. DAFTAR PUSTAKA	66
9. Lampiran	68

DAFTAR GAMBAR

Gambar 3.1. Gambaran umum arsitektur CNN LeNet untuk mengenali angka pada tulisan tangan (Saha, 2018).....	12
Gambar 3.2. <i>Logic Cell</i> (Jatmiko, et al., 2011).....	15
Gambar 3.3. <i>Logic cell</i> Xilinx (Zwolinski, 2004).....	16
Gambar 3.4. <i>Configurable Logic Cell</i> (CLB) (Jatmiko, et al., 2011).....	16
Gambar 4.1. Rancangan Arsitektur CNN.....	22
Gambar 4.2. Rancangan Arsitektur CNN yang diimplementasi pada FPGA.....	24
Gambar 4.3. Rancangan Diagram TOP_LEVEL.....	25
Gambar 4.4. Elemen Proses.....	27
Gambar 4.5. Larik <i>Systolic</i> /Modul Konvolusi.....	27
Gambar 4.6. Rangkaian FSM Kendali.....	29
Gambar 4.7. GUI yang dibuat.....	30
Gambar 5.1. Entitas <i>top level</i>	33
Gambar 5.2. Potongan arsitektur <i>buff</i> bobot.....	34
Gambar 5.3. Potongan modul <i>buff</i> masukan untuk menyimpan masukan (a) Potongan modul <i>buff</i> masukan untuk meneruskan ke konvolusi (b).....	35
Gambar 5.4. Potongan modul konvolusi.....	37
Gambar 5.5. Potongan modul TOP_DA.....	38
Gambar 5.6. Potongan modul DA.....	39
Gambar 5.7. Potongan modul kendali.....	40
Gambar 5.8. <i>Clock constrain</i>	40
Gambar 5.9. <i>Button constrain</i>	40
Gambar 5.10. <i>LEDs constraints</i>	41
Gambar 5.11. <i>UART constraints</i>	41
Gambar 5.12. <i>Test benche</i> modul <i>buff</i> bobot.....	43
Gambar 5.13. <i>Test benche</i> modul <i>buff</i> masukan.....	44
Gambar 5.14. Skematik RTL <i>top level</i>	46
Gambar 5.15. Skematik implementasi <i>top level</i>	47
Gambar 5.16. Laporan pewaktuan implementasi <i>top level</i> dan kecepatan <i>clock</i> ..	48
Gambar 5.17. Laporan penggunaan sumber daya <i>top level</i> setelah sintesis.....	49
Gambar 5.18. Skematik hasil implementasi modul kendali.....	50
Gambar 5.19. Skematik hasil implementasi modul <i>core DA</i>	52
Gambar 5.20. Sumber daya pada DA 8 bit setelah implementasi.....	53
Gambar 6.1. <i>Propagation delay top level</i>	55
Gambar 6.2. <i>Contamination delay top level</i>	55
Gambar 6.3. Laporan pewaktuan implementasi sistem.....	55
Gambar 6.4. Laporan penggunaan sumber daya <i>top level</i> setelah implementasi..	56
Gambar 6.5. Konsumsi daya (listrik) <i>top level design</i>	57
Gambar 6.6. Hasil pengujian pada FPGA.....	58
Gambar 6.7. Hasil pengujian dengan data CNN yang telah dibuat.....	59

DAFTAR TABEL

Tabel 2.1. Rangkuman Penelitian-penelitian	9
Tabel 4.1. Tahapan Penelitian	20
Tabel 4.2. Sinyal-sinyal untuk setiap keadaan	28
Tabel 5.1. Perbandingan <i>golden reference</i> dengan hasil simulasi FPGA	45
Tabel 6.1. Perbandingan lebar data terhadap sumber daya	59
Tabel 6.2. Perbandingan lebar data terhadap pewaktuan	60
Tabel 6.3. Waktu komputasi untuk setiap lebar data	61
Tabel 6.4. Sumber daya untuk setiap jumlah elemen proses	62
Tabel 6.5. Pewaktuan untuk setiap jumlah elemen proses	63