



DAFTAR ISI

HALAMAN PERSETUJUAN	iii
PERNYATAAN BEBAS PLAGIASI	iv
KATA PENGANTAR	v
DAFTAR ISI	vii
DAFTAR GAMBAR	ix
DAFTAR TABEL	x
INTISARI	xi
ABSTRACT	xii
BAB I PENDAHULUAN	1
1.1. Latar Belakang	1
1.2. Rumusan Masalah	2
1.3. Batasan Masalah	2
1.4. Tujuan Penelitian	2
1.5. Manfaat Penelitian	3
1.6. Metodologi Penelitian	3
1.7. Sistematika Penulisan	4
BAB II TINJAUAN PUSTAKA	6
BAB III LANDASAN TEORI	9
3.1. Filter	9
3.2. Filter Digital	9
3.3. Field Programmable Gate Array (FPGA)	10
3.4. DSP48	11
3.5. VHSIC Hardware Description Language (VHDL)	12
3.6. Analisis Pewaktuan	13
3.7. <i>Hamming Weight</i>	13
BAB IV ANALISIS DAN PERANCANGAN SISTEM	14
4.1. Alat dan Bahan	14
4.2. Rancangan Sistem	14
4.3. Rancangan Implementasi	14
4.4. Rencana Pengujian Sistem	15
BAB V IMPLEMENTASI	17
5.1. Implementasi Rangkaian	17
5.2. Implementasi <i>Top-level Design</i>	18
5.3. Modul Antarmuka	18
5.4. Modul jalur data	19
BAB VI HASIL DAN PEMBAHASAN	21
6.1. Pengujian Sistem	21
6.2. Hasil Sintesis dan Implementasi <i>Top-level Design</i>	21
6.3. Analisis pewaktuan sistem	26
6.4. Sumber Daya (<i>resources</i>) pada <i>top-level design</i>	26
6.5. Analisis Sumber Daya (<i>resources</i>) DSP48	28
6.6. Pengujian Sistem <i>Hamming Weight</i>	29
BAB VII PENUTUP	31



7.1. Kesimpulan.....	31
7.2. Saran.....	31
DAFTAR PUSTAKA	32
LAMPIRAN	34



DAFTAR GAMBAR

Gambar 3.1. Struktur filter FIR orde N	10
Gambar 3.2. (a) Struktur FPGA. (b) Struktur detail sel logika FPGA	11
Gambar 3.3. Diagram yang sederhana dari blok Xilinx DSP48E2 dengan fungsi ALU yang dapat diubah dan aliran data yang dapat diprogram	12
Gambar 4.1. Rancangan diagram blok DSP48E1	15
Gambar 5.1. Hierarki Sistem	17
Gambar 5.2. Entitas <i>top-level design</i>	18
Gambar 5.3. Skematik modul Multiplier.xco	18
Gambar 5.4. Arsitektur modul konversi biner 8-bit ke BCD	19
Gambar 5.5. Arsitektur modul konversi biner 16-bit ke BCD	20
Gambar 6.1. Rancangan RTL <i>top-level design</i>	21
Gambar 6.2. Penggunaan sumber daya <i>top-level design</i> setelah sintesis.....	22
Gambar 6.3. RTL pengkonversi BinToBCD8	23
Gambar 6.4. RTL pengkonversi BinToBCD16	24
Gambar 6.5. Simulasi modul masukan	25
Gambar 6.6. RTL modul tampilan	25
Gambar 6.7. <i>Propagation delay</i> dari <i>top-level design</i>	26
Gambar 6.8. Sumber daya FF dan LUT yang terpakai untuk <i>top-level design</i>	27
Gambar 6.9. Sumber daya IO dan BUFG yang terpakai untuk <i>top-level design</i> ..	27
Gambar 6.10. Sumber daya logika yang terpakai untuk <i>top-level design</i>	28
Gambar 6.11. Sumber daya DSP48 yang terpakai untuk <i>top-level design</i>	28
Gambar 6.12. Irisan DSP48E1	29



DAFTAR TABEL

Tabel 2.1. Korelasi Penelitian	6
Tabel 4.1. Alat dan Bahan	13
Tabel 4.2. Tahapan Pengujian Sistem	18
Tabel 5.1. Keterangan Papan Nexys-4	22
Tabel 6.1. Penggunaan Sumber Daya Pengujian Sistem <i>Hamming Weight</i>	34