

INTISARI

IMPLEMENTASI FILTER PADA *FIELD PROGRAMMABLE* *GATE ARRAY* (FPGA) BERBASIS MODUL DSP48

Oleh

Hendri Surya Widcaksana

15/381058/PA/16738

Implementasi filter menjadi bagian penting dalam pemrosesan sinyal digital. Filter telah digunakan di berbagai bidang, salah satunya adalah operasi aritmatika. Di samping itu, implementasi filter menggunakan modul DSP48 masih dapat dieksplorasi lebih lanjut, sehingga operasi ini dapat digunakan untuk penelitian ini. Penelitian ini menggunakan algoritma *Least-mean Squares* (LMS) untuk melakukan operasi perkalian dan diimplementasikan pada perangkat keras FPGA. Rancangan terdiri dari modul masukan, pengkonversi dan kontrol tampilan. Pengujian dilakukan dalam jumlah bit: 16, 32 dan 64 melalui simulasi (untuk pengujian fungsional), sintesis dan implementasi, kemudian dilakukan analisis laporan pada masing-masing tahap tersebut.

Implementasi dirancang menggunakan VHDL pada perangkat lunak Xilinx ISE 14.7. Penelitian ini menggunakan perangkat keras FPGA Xilinx Artix-7 Nexys-4 seri XC7A1000T-2CSG324. Rancangan tingkat tinggi dengan lebar data 16-bit, 32-bit, dan 64-bit mampu bekerja pada frekuensi maksimum sebesar 493,060 MHz serta membutuhkan 0,2% LUT (126 dari 63.400), 0,1% FF (126 dari 126.800), 6,67% blok IO (14 dari 210), 3,13% BUFG (1 dari 32), 0,26% irisan logika (41 dari 15.850), serta 0,42% irisan DSP48 (1 dari 240). Pengujian dan implementasi modul pengali ini menunjukkan penggunaan sumber daya perangkat keras berupa LUT, FF, I/O dan DSP yang efisien.

Kata Kunci: FPGA, DSP48, LMS, operasi perkalian, bobot Hamming

ABSTRACT

FILTER IMPLEMENTATION IN FIELD PROGRAMMABLE GATE ARRAY (FPGA) BASED ON DSP48 MODULE

By

Hendri Surya Widcaksana

15/381058/PA/16738

Nowadays, filter implementation become an important part of digital signal processing. Filters have been utilised in various fields, one of them is arithmetic operations. Besides that, a filter implementation using DSP48 module can be explored further, so this operation can be used for this research. This research uses the Least-mean Squares (LMS) algorithm to perform multiplication operations and implemented on FPGA hardware. The design consists of an input module, converter and display control. Testing is carried out in the number of bits: 16, 32 and 64 through simulation (for functional testing), synthesis and implementation, then a report analysis is carried out at each of these stages.

The implementation is designed using VHDL on the Xilinx ISE 14.7 software. This research uses FPGA Xilinx Artix-7 Nexys-4 series XC7A1000T-2CSG324 hardware. The top-level design with 16-bit, 32-bit, and 64-bit data width is able to work at a maximum frequency of 493,060 MHz and requires 0.2% LUTs (126 out of 63,400), 0.1% FFs (126 out of 126,800), 6.67% IO blocks (14 out of 210), 3.13% BUFGs (1 out of 32), 0.26% logic slices (41 out of 15,850), and 0.42% DSP48 slices (1 out of 240). Testing and implementation of this multiplier module demonstrates efficient use of hardware resources in the form of LUT, FF, I/O and DSP.

Keywords: *FPGA, DSP48, LMS, multiplier operation, Hamming weight*