

DAFTAR ISI

SKRIPSI	ii
HALAMAN PENGESAHAN	iii
PERNYATAAN	iv
KATA PENGANTAR	v
DAFTAR ISI	vii
DAFTAR GAMBAR	ix
DAFTAR TABEL	xi
INTISARI.....	xii
ABSTRACT	xiii
BAB I PENDAHULUAN	1
1.1 Latar Belakang.....	1
1.2 Rumusan Masalah.....	3
1.3 Batasan Masalah	3
1.4 Tujuan Penelitian	3
1.5 Manfaat Penelitian	3
1.6 Metodologi Penelitian	3
1.7 Sistematika Penulisan	5
BAB II TINJAUAN PUSTAKA	7
BAB III LANDASAN TEORI	12
3.1 Aritmatika Modular	12
3.1.1 Penjumlahan Modular	12
3.1.2 Pengurang Modular	15
3.1.3 Pengali Modular	16
3.2 Unit Kendali dan <i>Data-path</i>	17
3.3 Field Programmable Gate Array (FPGA)	18
3.4 Nexys-4	21
3.5 VHSIC Hardware Description Language (VHDL)	21
3.6 <i>Timing analysis</i>	22
3.7 Sumber daya (<i>resource</i>)	23
BAB IV PERANCANGAN SISTEM.....	26
4.1 Rancangan sistem secara umum	26
4.2 Rancangan implementasi sistem.....	27
4.2.1 <i>Top level design</i>	27
4.2.2 Rancangan modul <i>data-path</i>	29
4.2.3 Rancangan modul kontroler	32
4.2.4 Rancangan GUI (<i>Graphical User Interface</i>).....	34
4.3 Rencana pengujian sistem	35
BAB V IMPLEMENTASI	36
5.1 Implementasi Perangkat Keras	36
5.2 Implementasi <i>top level design</i>	37

5.3	Modul antarmuka serial (UART)	37
5.4	Modul <i>data-path</i>	38
a.	Modul ASCII ke Heksadesimal	38
b.	Modul <i>buffer</i> masukan	39
c.	Modul perkalian modular	40
d.	Modul <i>buffer</i> luaran	45
5.5	Modul kontroler	45
5.6	<i>User constraints</i>	46
5.6.1	Konstrain <i>clock</i>	47
5.6.2	Konstrain pin masukan	47
5.6.3	Konstrain pin luaran	48
5.6.4	Konstrain tombol	49
5.6.5	Konstrain antarmuka UART	50
5.7	Implementasi Perangkat Lunak	50
5.7.1	GUI (<i>Graphical User Interface</i>)	50
BAB VI HASIL DAN PEMBAHASAN		52
6.1	Pengujian Sistem	52
6.1.1	Uji fungsional modul <i>buffer</i> masukan	52
6.1.2	Uji fungsional modul perkalian modular	53
6.1.3	Uji fungsional modul <i>buffer</i> luaran	56
6.2	Hasil sintesis dan implementasi <i>top level design</i>	56
6.3	Hasil sintesis dan implementasi modul kontroler	59
6.4	Hasil sintesis dan implementasi modul <i>data-path</i>	61
6.5	Hasil sintesis dan implementasi modul perkalian modular	61
6.6	Analisis pewaktuan sistem	70
6.7	Analisis Sumber Daya (<i>resources</i>) pada <i>top level design</i>	73
6.8	Pengujian implementasi sistem FPGA	75
BAB VII KESIMPULAN DAN SARAN		77
7.1	Kesimpulan	77
7.2	Saran	78
DAFTAR PUSTAKA		79
LAMPIRAN		81