

ABSTRACT

Wireless telecommunication has become a dynamic field due to the penetration of cellular phone usage by 67% and internet-based wireless data applications have reached 40% worldwide in 2019. Telecommunication practices that form a transmitter and receiver scheme require efficient modulation performance on the transmitter. The intended efficiency is not only in terms of the system's power consumption but also in the accuracy of data reception. The necessity for low-powered systems such as mobile applications, IoT sensors, and satellite communications raises problems in resources and power allocation on the chip. The allocation for modulation system on the transmitter must be pressed as small as possible but under the same conditions raises problems on the receiver side due to differences in specifications (non-coherent) and noise degradation.

This study aims to improve efficiency in $\pi/4$ -DQPSK low-powered modulator design to be implemented in Altera's FPGA through measured evaluations using Bit Error Rate performance and power consumption analysis. The non-coherent $\pi/4$ -DQPSK modulation will facilitate the demodulation process on the receiver and FPGA implementation will help build a controlled, low-power system. Stages of research starting from designing conventional and proposed modulators on Simulink, implementing FPGA, and comparative evaluation followed by performance analysis. The analysis consists of validating and evaluating the output signals, Bit Error Rate performance tests, and FPGA power consumption analysis.

The proposed low power $\pi/4$ -DQPSK modulator design has been successfully implemented on the Altera Cyclone IV FPGA board shown by the results of subsystems validation and signal constellations evaluation. Signal constellations and phase shifts are following theoretical rules with possible constellation points of 0.707, -0.707, 0, 1, and -1 and phase shift possibilities of $\pm 45^\circ$ and $\pm 135^\circ$. The BER performance test against SNR shows that BER modulator data have similarities with theoretical BER. The similarity of data is validated by a p-value of 0.970 which is higher than the significance value of 0.05 and the conventional modulator that is 0.7837. The p-value is higher than the significance level of 0.05 indicating that the BER data are valid. The application of sequential circuits and NCO carrier generator on the proposed modulator, affect reducing the use of LEs resources up to 9% (557 LEs) and decreasing core dynamic power consumption up to 3% (1.67 mW) compared to the conventional modulator. The total power consumption shows a decrease of 2.68 mW from 90.45 mW to 87.77 mW.

Keywords - $\pi/4$ -DQPSK modulation, non-coherent demodulation, FPGA, Bit Error Rate.

INTISARI

Telekomunikasi nirkabel saat ini menjadi bidang yang dinamis karena didorong oleh penetrasi penggunaan telepon selular sebesar 67% dan aplikasi data nirkabel yang membutuhkan internet telah mencapai 40% di seluruh dunia pada 2019. Praktek telekomunikasi yang membentuk skema pengirim dan penerima (*transceiver*) membutuhkan kinerja modulasi pada *transmitter* yang efisien. Efisiensi yang dimaksud tidak hanya pada sisi konsumsi daya sistem namun juga akurasi penerimaan data. Kebutuhan akan sistem yang rendah daya seperti pada aplikasi *mobile*, sensor IoT, dan komunikasi satelit memunculkan masalah dalam alokasi *resource* dan sumber daya dalam *chip*. Alokasi untuk sistem modulasi pada *transmitter* harus ditekan sekecil mungkin namun dalam kondisi yang sama memunculkan masalah di sisi *receiver* karena perbedaan spesifikasi (non-koheren) dan degradasi karena derau.

Penelitian ini bertujuan melakukan peningkatan efisiensi pada desain modulator $\pi/4$ -DQPSK berdaya rendah untuk diimplementasikan dalam FPGA Altera melalui evaluasi terukur dengan analisis kinerja *Bit Error Rate* serta konsumsi daya. Sifat modulasi $\pi/4$ -DQPSK yang non-koheren akan memudahkan proses demodulasi pada *receiver*, dan implementasi FPGA akan membantu membangun sistem berdaya rendah yang terkontrol. Tahapan penelitian meliputi desain modulator konvensional dan modulator yang diusulkan pada Simulink, melakukan implementasi pada FPGA, dan evaluasi perbandingan sekaligus analisis kinerja. Proses analisis terdiri dari validasi dan evaluasi sinyal keluaran, uji kinerja *Bit Error Rate* (BER) terhadap SNR dengan statistik *Sleuth* diikuti uji Z, dan analisis konsumsi daya FPGA secara hirarki program.

Desain modulator $\pi/4$ -DQPSK berdaya rendah yang diusulkan telah berhasil diimplementasikan pada *board* FPGA Altera Cyclone IV ditunjukkan dengan hasil validasi subsistem dan evaluasi konstelasi sinyal. Konstelasi sinyal dan pergeseran fase telah sesuai aturan teori dengan kemungkinan titik konstelasi 0,707; -0,707; 0; 1; dan -1 dengan kemungkinan pergeseran fase $\pm 45^\circ$ dan $\pm 135^\circ$. Hasil uji kinerja BER terhadap SNR menunjukkan data BER modulator diusulkan memiliki kesamaan dengan BER teoritis dan lebih baik daripada modulator konvensional. Kesamaan data divalidasi dengan nilai *p-value* 0,970 yang lebih tinggi dari nilai signifikansi 0,05 dan modulator konvensional yaitu 0,7837. Nilai *p-value* lebih tinggi dari tingkat signifikansi 0,05 menunjukkan bahwa data BER valid. Penerapan rangkaian sekuensial dan *carrier* NCO pada modulator diusulkan berpengaruh pada penurunan penggunaan *resource* LEs hingga 9% (selisih 557 LEs) dan penurunan konsumsi daya *core dynamic* hingga 3% (1,67 mW) dibandingkan modulator konvensional. Secara total daya menunjukkan penurunan 2,68 mW dari 90,45 mW menjadi 87,77 mW.

Kata kunci –modulasi $\pi/4$ -DQPSK, demodulasi non-koheren, FPGA, *Bit Error Rate*