

INTISARI

***HIGH-LEVEL SYNTHESIS ALGORITME JARINGAN SARAF TIRUAN
BACKPROPAGATION PADA FPGA SOC***

Oleh

Nuzula Afianah

17/418658/PPA/05442

Penelitian-penelitian terkait sintesis algoritma Jaringan Saraf Tiruan *Backpropagation* (JST BP) masih berbasis sintesis langsung, yaitu dengan perancangan langsung HDL-nya dari algoritma terkait. Selain itu, beberapa penelitian lebih banyak menggunakan operasi *fixed-point* dan menghindari penggunaan *floating-point*. Dibutuhkan upaya untuk memodifikasi algoritma ke dalam bahasa perangkat keras sedemikian hingga mampu disintesis serta diimplementasikan ke dalam FPGA, belum menggunakan bantuan *High Level Synthesis* (HLS), khususnya untuk implementasi pada FPGA SoC. Penelitian ini membahas tentang hasil HLS algoritma JST BP pada FPGA SoC keluarga Zynq7000 seri xc7z010clg400-1. Hasil simulasi dan sintesis C menggunakan perangkat lunak Vivado HLS menunjukkan hasil yang valid antara hasil luaran perangkat lunak dan perangkat keras. Optimasi terbaik menggunakan *pipeline* yang dilakukan pada fase *feedforward* unit masukan ke unit tersembunyi dan fase *backward* pembaharuan bobot dari unit masukan ke unit tersembunyi. Kecepatan komputasi pada *pipeline* tersebut sekitar 5.340 ns (178 x 30 ns) atau 2,2x lipat dibandingkan tanpa optimasi yaitu 11.940 ns (398 x 30 ns). Reduksi latensi sekitar 220 *clock cycle*, atau sekitar 55,28%, dengan rata-rata utilisasi sekitar 32,75%.

Kata Kunci: *Backpropagation*, FPGA, HLS, Jaringan Saraf Tiruan, SoC.

ABSTRACT

***HIGH-LEVEL SYNTHESIS ALGORITME JARINGAN SARAF TIRUAN
BACKPROPAGATION PADA FPGA SOC***

by

Nuzula Afianah

17/418658/PPA/05442

The studies related to the synthesis of Backpropagation Artificial Neural Network (BANN) algorithm is still based on the direct synthesis, by designing HDL directly from the related algorithm. Also, some studies use more fixed-point operations and avoid the use of floating-point. The efforts are needed to modify the algorithm into the hardware language so that it can be synthesized and implemented into FPGA, not using the help of High-Level Synthesis (HLS), especially for implementation on FPGA SoC. This study discusses the HLS results of the BANN algorithm on the Zynq7000 series xc7z010clg400-1 FPC SoC family. The results of simulation and synthesis of C using Vivado HLS software show valid results between software and hardware outputs. The best optimization uses pipelines performed in the feedforward unit input phase to the hidden unit, and the backward phase updates the weights from the input unit to the hidden unit. The computational speed at the pipeline is around 5,340 ns (178 x 30 ns) or 2.2x fold compared to without optimization, which is 11,940 ns (398 x 30 ns). The latency reduction is around 220 clock cycles, or around 55.28%, with average utilization of around 32.75%.

Kata Kunci: *Artificial Neural Networks, Backpropagation, FPGA, HLS, SoC.*