

DAFTAR ISI

	Halaman
HALAMAN PENGESAHAN	III
PERNYATAAN	IV
KATA PENGANTAR	V
DAFTAR ISI	VII
DAFTAR GAMBAR	IX
DAFTAR TABEL	XI
INTISARI.....	XII
ABSTRACT	XIII
BAB I PENDAHULUAN	1
1.1 Latar Belakang	1
1.2 Rumusan Masalah	3
1.3 Batasan Masalah	3
1.4 Tujuan Penelitian	4
1.5 Manfaat Penelitian	4
1.6 Keaslian Penelitian.....	4
BAB II TINJAUAN PUSTAKA	5
BAB III LANDASAN TEORI	14
3.1 Jaringan Saraf Tiruan	14
3.1.1 Karakteristik Jaringan Saraf Tiruan	15
3.1.2 <i>Backpropagation</i>	18
3.2 <i>Field Programmable Gate Array</i> (FPGA)	23
3.2.1 Arsitektur FPGA	24
3.2.2 <i>FPGA System on Chip</i> (FPGA SoC)	25
3.3 High-Level Synthesis (HLS)	26
3.4 Perancangan berbasis Vivado HLS	28
3.5 Strategi Optimasi menggunakan <i>Pipeline</i>	29
3.6 Antarmuka AXI FPGA Zynq.....	30
BAB IV PERANCANGAN SISTEM.....	33
4.1 Tahapan Penelitian	33
4.2 Analisis Kebutuhan Sistem.....	34
4.3 Perancangan Sistem	34
4.4 Tahapan Simulasi	40
4.5 Rencana Implementasi Perancangan dan Pengujian	41
BAB V IMPLEMENTASI PERANCANGAN	44
5.1 Implementasi Rancangan Koprosesor	44
5.1.1 Implementasi Rancangan Algoritme dalam C/C++	44
5.1.2 Implementasi Optimasi.....	48
5.1.3 Implementasi Pragma <i>Interface</i>	51
5.2 Implementasi Konfigurasi Perangkat Keras	52
BAB VI HASIL DAN PEMBAHASAN	54



6.1 Hasil Simulasi <i>Baseline</i>	54
6.2 Hasil Optimasi	62
6.2.1 Optimasi Pipeline_IH	62
6.2.2 Optimasi Pipeline_UI	64
6.2.3 Optimasi Pipeline	67
6.2.4 Optimasi Pipeline_atas	69
6.2.5 Perbandingan Keseluruhan	71
6.3 Hasil Sintesis Perangkat Keras	72
6.4 Hasil Verifikasi/Validasi	74
BAB VII KESIMPULAN	75
7.1 Kesimpulan	75
7.2 Saran.....	75
DAFTAR PUSTAKA	76
LAMPIRAN	80

DAFTAR GAMBAR

Gambar 1.1 Roadmap penelitian implementasi algoritma berbasis FPGA.....	1
Gambar 3.1 Arsitektur jaringan <i>backpropagation</i> (Hermawan, 2006).....	19
Gambar 3.2 Arsitektur FPGA Xilinx (Brown, et al., 1992).....	24
Gambar 3.3 Arsitektur FPGA (Maxfield, 2004)	25
Gambar 3.4 Model sederhana arsitektur Zynq (Crocket, et al., 2014)	26
Gambar 3.5 Tahap sintesis berbasis Vivado HLS (Crocket, et al., 2014).	28
Gambar 3.6 Loop pipeline (Xilinx, 2018).....	30
Gambar 3.7 Diagram blok antarmuka PS dan PL pada FPGA Zynq	31
Gambar 3.8 Arsitektur kanal untuk membaca data (Xilinx, 2018)	32
Gambar 3.9 Arsitektur kanal untuk menuliskan data (Xilinx, 2018)	32
Gambar 4.1 Tahapan penelitian.....	34
Gambar 4.2 Diagram blok sistem	36
Gambar 4.3 Diagram alir perancangan implementasi JST BP pada FPGA SoC	37
Gambar 4.4 Diagram alir Vivado HLS (Crockett, et al., 2014)	38
Gambar 4.5 Diagram alir proses antara PC dan FPGA SoC	39
Gambar 4.6 Diagram proses komputasi dalam PL	40
Gambar 4.7 Diagram alir program <i>testbench</i>	41
Gambar 5.1 Algoritme <i>feedforward</i> 1	45
Gambar 5.2 Algoritme <i>feedforward</i> 2.....	45
Gambar 5.3 Algoritme <i>backward</i> 1	46
Gambar 5.4 Algoritme <i>backward</i> 2	47
Gambar 5.5 Algoritme <i>backward</i> 3	48
Gambar 5.6 Hasil analisis latensi dan sumber daya algoritma JST BP	48
Gambar 5.7 Implementasi Baseline	49
Gambar 5.8 Implementasi Pipeline_IH.....	49
Gambar 5.9 Vivado HLS <i>Directive Editor</i>	50
Gambar 5.10 Implementasi Pipeline_UI.....	50
Gambar 5.11 Implementasi Pipeline.....	51
Gambar 5.12 Implementasi Pipeline_Atas.....	51
Gambar 5.13 Parameter-parameter I/O kode C JST BP	51
Gambar 5.14 <i>Directive</i> antarmuka algoritme JST BP.....	52
Gambar 5.15 Diagram blok bagian PS dan PL implementasi JST BP	53
Gambar 6.1 Estimasi unjuk kerja <i>baseline</i> JST BP	55
Gambar 6.2 Perspektif <i>analysis baseline</i> input_ke_hidden.....	56
Gambar 6.3 Analisis perspektif <i>baseline</i>	57
Gambar 6.4 Estimasi utilisasi <i>baseline</i> JST BP.....	58
Gambar 6.5 Analisis profil sumber daya <i>instance</i>	59
Gambar 6.6 Analisis profil sumber daya <i>expression</i>	60
Gambar 6.7 Analisis profil sumber daya <i>multiplexers</i>	61
Gambar 6.8 Estimasi unjuk kerja pipeline_IH JST BP.....	63
Gambar 6.9 Estimasi utilisasi pipeline_IH JST BP	63
Gambar 6.10 Estimasi unjuk kerja pipeline_UI JST BP	65
Gambar 6.11 Estimasi utilisasi pipeline_UI JST BP	66



Gambar 6.12 Estimasi unjuk kerja pipeline JST BP.....	68
Gambar 6.13 Estimasi utilisasi pipeline JST BP	69
Gambar 6.14 Estimasi unjuk kerja pipeline_atas JST BP	70
Gambar 6.15 Estimasi utilisasi pipeline_atas JST BP	71
Gambar 6.16 Hasil komparasi optimasi JST BP	72
Gambar 6.17 Grafik Utilisasi perangkat keras JST BP.....	73
Gambar 6.18 Hasil Perbandingan perhitungan secara perangkat lunak dan perangkat keras	74



DAFTAR TABEL

Tabel 2.1 Kajian pustaka mengenai penerapan algoritma pada FPGA	9
Tabel 2.2 Kajian pustaka mengenai penerapan algoritma pada FPGA lanjutan	10
Tabel 2.3 Kajian pustaka mengenai penerapan algoritma pada FPGA lanjutan	11
Tabel 2.4 Kajian pustaka mengenai penerapan algoritma pada FPGA lanjutan	12
Tabel 2.5 Kajian pustaka mengenai penerapan algoritma pada FPGA lanjutan	13
Tabel 4.1 Rencana Implementasi dan Pengujian.....	42
Tabel 6.1 Detail utilisasi perangkat keras JST BP.....	73