

DAFTAR ISI

HALAMAN JUDUL.....	i
PERNYATAAN BEBAS PLAGIARISME.....	ii
HALAMAN PENGESAHAN.....	iii
HALAMAN TUGAS.....	iv
KATA PENGANTAR.....	vii
DAFTAR ISI.....	viii
DAFTAR TABEL.....	xi
DAFTAR GAMBAR.....	xiii
DAFTAR LAMBANG DAN SINGKATAN.....	xix
INTISARI.....	xx
ABSTRACT.....	xxi
BAB I PENDAHULUAN.....	1
I.1. Latar Belakang.....	1
I.2. Perumusan Masalah.....	3
I.2.1. Batasan Masalah.....	4
I.3. Tujuan Penelitian.....	4
I.4. Manfaat Penelitian.....	5
BAB II TINJAUAN PUSTAKA.....	6
BAB III DASAR TEORI.....	10
III.1. Ethernet.....	10
III.2. CSMA/CD (Carrier Sense Multiple Access/ Collision Detection).....	13
III.3. Ethernet Powerlink.....	18

III.4. 100Base-TX	26
III.5. <i>Hub</i>	26
III.6. <i>Switch</i>	27
III.7. <i>Model Checking</i>	30
III.8. <i>Timed Automata</i>	32
III.9. UPPAAL.....	33
III.10. Cycle Time.....	39
BAB IV PELAKSANAAN PENELITIAN	40
IV.1. Alat dan Bahan Penelitian.....	40
IV.2. Tata Laksana Penelitian	41
IV.2.1. Studi Literatur	41
IV.2.2. Pembuatan Model Formal <i>Timed Automata</i>	42
IV.2.3. Analisis Kesesuaian Model Formal.....	45
IV.2.4. Pengambilan Data Siklus Waktu Ethernet Powerlink.....	46
IV.3. Rencana Analisis Hasil Penelitian	48
BAB V HASIL DAN PEMBAHASAN.....	49
V.1. Argumentasi Umum Model Formal.....	49
V.1.1 Serialisme Model Formal <i>Controlled Node</i> dan Perangkat <i>Inter-networking</i>	49
V.1.2 Alokasi Durasi <i>Polling</i>	51
V.1.3 Fenomena Saat <i>Managing Node</i> Tidak di Ujung Segmentasi.....	53
V.2. Argumentasi Model Formal Tiap Lokasi <i>Timed Automaton</i>	54
V.2.1. Argumentasi Model Formal Topologi <i>Bus</i>	58
V.2.2. Argumentasi Model Formal Topologi <i>Star</i>	78
V.3. Verifikasi <i>Livelock</i>	96

V.4. Analisis Siklus Waktu Ethernet Powerlink.....	98
V.4.1. Perbandingan Siklus Waktu Terhadap Kapasitas <i>Frame</i>	104
V.4.2. Perbandingan Siklus Waktu Terhadap Arsitektur	105
BAB VI KESIMPULAN DAN SARAN	107
VI.1. Kesimpulan	107
VI.2. Saran	107
DAFTAR PUSTAKA	108