

**ANALISIS PARAMETER SIKLUS WAKTU MENGGUNAKAN METODE
MODEL CHECKING DENGAN VARIASI ARSITEKTUR DAN
KAPASITAS FRAME PADA JARINGAN SISTEM AUTOMASI BERBASIS
ETHERNET POWERLINK**

Oleh

Yusuf Indrawan

14/363446/TK/41566

Diajukan kepada Departemen Teknik Nuklir dan Teknik Fisika Fakultas Teknik
Universitas Gadjah Mada pada tanggal 20 Juli 2018
untuk memenuhi sebagian persyaratan untuk memperoleh derajat
Sarjana S-1 Program Studi Teknik Fisika

INTISARI

Siklus waktu merupakan salah satu parameter keberhasilan dari sebuah komunikasi *real-time*, salah satunya Ethernet Powerlink. Verifikasi siklus waktu jaringan komunikasi protokol Ethernet Powerlink saat ini dilakukan dengan metode simulasi dan *testing*. Metode ini lebih mahal dan membutuhkan waktu lebih lama dibandingkan *model checking* serta pada praktiknya berpotensi melewatkan beberapa kesalahan algoritme yang menyebabkan gagalnya sistem.

Penelitian ini dilakukan dengan membangun model formal *timed automata* untuk melakukan analisis siklus waktu Ethernet Powerlink. Model formal dibuat pada arsitektur topologi logika *bus* dengan perangkat *hub* dan arsitektur topologi logika *star* dengan perangkat *switch*. Analisis parameter siklus waktu dilakukan dengan memvariasikan arsitektur jaringan, jumlah *polling*, kapasitas *frame poll response* (*pres*) dan kapasitas *frame asynchronous send* (*asnd*).

Hasil penelitian pada jumlah *polling* 1 sampai 11 pada seluruh arsitektur menunjukkan siklus waktu Ethernet Powerlink pada penggunaan kapasitas *frame pres* maksimum dan *asnd* minimum lebih besar daripada penggunaan kapasitas *frame pres* minimum dan *asnd* maksimum. Penelitian juga menunjukkan penggunaan arsitektur dengan perangkat *hub* menghasilkan siklus waktu Ethernet Powerlink yang lebih kecil dibanding penggunaan arsitektur dengan perangkat *switch* pada seluruh variasi kapasitas *frame* saat jumlah *polling* dan level perangkat *inter-networking* sama pada parameter uji jumlah *polling* 1 sampai 11 dan level perangkat *inter-networking* 1 dan 2.

Kata kunci: *Model checking, timed automata, UPPAAL, Ethernet Powerlink, hub, switch*

Pembimbing Utama : Dr.-Ing. Awang N. I. Wardana, S.T., M.T., M.Sc.

Pembimbing Pendamping : Dr.-Ing. MHD. Reza M. I. Pulungan, S.Si., M.Sc.

**CYCLE TIME PARAMETER ANALYSIS USING MODEL CHECKING
METHOD WITH ARCHITECTURE AND FRAME CAPACITY
VARIATION IN ETHERNET POWERLINK BASED AUTOMATION
NETWORK SYSTEM**

by

Yusuf Indrawan

14/363446/TK/41566

Submitted to the Departement of Nuclear Engineering and Engineering Physics
Faculty of Engineering Universitas Gadjah Mada on *July 20, 2018*
in partial fulfillment of the requirement for the Degree of
Bachelor of Engineering in Physic Engineering

ABSTRACT

Cycle time is one of the success parameters of real-time communication, one of them is Ethernet Powerlink. Verification of Ethernet Powerlink network communication cycle time is currently done with simulation and testing methods. This method is more expensive and takes longer time than model checking and potentially missed some algorithmic errors that caused system failure in practice.

Research done by building timed automata formal model to perform Ethernet Powerlink cycle time analysis. Formal models are made on bus logical topology with hub devices and star logical topology with switch devices. Time cycle parameter analysis done by varying the network architecture, poll number, poll response (pres) and asynchronous send (asnd) frame capacity.

Research result on number of polls 1 through 11 on the entire architecture shows Ethernet Powerlink cycle time in maximum pres and minimum asnd frame capacity is greater than minimum pres and maximum asnd frame capacity. The study also showed that the use of architecture with hub devices resulted in smaller Ethernet Powerlink cycle time compared to the use of architecture with switch devices in all variations of frame capacity when the number of polls and levels of inter-networking devices was the same as the polling test parameters of 1 to 11 and the inter- networking 1 and 2.

Kata kunci: *Model checking, timed automata, UPPAAL, Ethernet Powerlink, hub, switch*

Supervisor : Dr.-Ing. Awang N. I. Wardana, S.T., M.T., M.Sc.

Co-Supervisor : Dr.-Ing. MHD. Reza M. I. Pulungan, S.Si., M.Sc.