

## **LAPORAN PROYEK AKHIR**

### **SIMULASI SISTEM *INTERLOCK LOAD SHEDDING* PADA PANEL BUS VT DAN *OUTGOING FEEDER* PT. SIEMENS INDONESIA**



disusun oleh:

**LIA NURUL MULYANI**

**NIM: 15/380690/SV/08497**

**PROGRAM DIPLOMA TEKNOLOGI LISTRIK  
DEPARTEMEN TEKNIK ELEKTRO DAN INFORMATIKA  
SEKOLAH VOKASI  
UNIVERSITAS GADJAH MADA  
YOGYAKARTA  
2018**