UNIVERSITAS GADJAH MADA
Perancangan dan Evaluasi Performa Flash ADC 2-Bit Pre-Layout dan Post-Layout Menggunakan Teknologi CMOS 45nm pada Cadence Virtuoso
Luthfan Haq Murdaka, Ir. Prapto Nugroho, S.T., M.Eng., D.Eng., IPM. ; Ir. Agus Bejo, S.T., M.Eng., D.Eng., IPM
Universitas Gadjah Mada, 2026 | Diunduh dari http://etd.repository.ugm.ac.id/

DAFTAR ISI

HALAMAN PENGESAHAN ii
PERNYATAAN BEBAS PLAGIASI iii
HALAMAN PERSEMBAHAN iv
KATA PENGANTAR v
DAFTAR ISI vi
DAFTAR TABEL ix
DAFTAR GAMBAR x
DAFTAR SINGKATAN xi
INTISARI xii
ABSTRACT xiii
BAB I Pendahuluan 1
1.1 Latar Belakang 1
1.2 Rumusan Masalah 3
1.3 Tujuan Penelitian 3
1.4 Batasan Penelitian 4
1.5 Manfaat Penelitian 5
1.5.1 Manfaat jangka pendek 5
1.5.2 Manfaat jangka panjang 6
1.6 Sistematika Penulisan 6
BAB II Tinjauan Pustaka dan Dasar Teori 8
2.1 Tinjauan Pustaka 8
2.2 Sinyal 10
2.2.1 Analog to digital converter 10
2.2.2 Digital convertion 12
2.2.3 Cara menaikan kualitas akurasi ADC 14
2.2.4 Aliasing sinyal 16
2.3 Dasar Teori *Mosfet* 16
2.3.1 Prinsip kerja *Mosfet* 21
2.3.2 Modulasi panjang kanal (*Channel-length modulation*) 22
2.3.3 Kapasitansi parasitik MOSFET 25
2.3.4 Penguat common source 28
2.3.5 Cara kerja penguat common source 29
2.3.6 Rangkaian common source dengan beban aktif 29
2.4 Differential Amplifier 31
2.5 Current Mirror 33
2.6 Gerbang Logika AND dan XOR 36

UNIVERSITAS GADJAH MADA
Perancangan dan Evaluasi Performa Flash ADC 2-Bit Pre-Layout dan Post-Layout Menggunakan Teknologi CMOS 45nm pada Cadence Virtuoso
Luthfan Haq Murdaka, Ir. Prapto Nugroho, S.T., M.Eng., D.Eng., IPM. ; Ir. Agus Bejo, S.T., M.Eng., D.Eng., IPM
Universitas Gadjah Mada, 2026 | Diunduh dari http://etd.repository.ugm.ac.id/

2.6.1 Gerbang AND 36
2.6.2 Gerbang XOR 37
2.7 *Flash* ADC 2-Bit 38
2.7.1 Pembagi tegangan referensi 39
2.7.2 Komparator 39
2.7.3 Encoder thermometer-to-binary 40
2.8 Pre-layout Simulation 41
2.9 Post-layout Simulation 43
2.9.1 Teknik Minimalisasi Parasitik pada Perancangan Layout 45
2.10 Parameter Analisis 47
2.10.1 Propagation delay 47
2.10.2 Konsumsi daya 48
2.10.3 Rise time 49
2.10.4 Fall time 49
2.10.5 Simetri rise time dan fall time (*skew*) 50
2.10.6 Luas area layout 50
2.11 Analisis Perbandingan Metode 51
BAB III Metode Penelitian 54
3.1 Alat dan Bahan Tugas akhir 54
3.1.1 Alat tugas akhir 54
3.1.2 Bahan tugas akhir 55
3.2 Metode yang Digunakan 56
3.2.1 Studi literatur 56
3.2.2 Perancangan skematik (*Schematic design*) 57
3.2.3 Simulasi pre-layout (*Schematic simulation*) 63
3.2.4 Perancangan layout (*Layout design*) 68
3.2.5 Verifikasi layout 71
3.2.6 Ekstraksi parasitik (*Parasitic extraction*) 71
3.2.7 Simulasi post-layout 72
3.2.8 Analisis dan perbandingan hasil 74
3.3 Alur Tugas Akhir 75
3.3.1 Penjelasan alur tugas akhir 76
3.4 Etika, Masalah, dan Keterbatasan Penelitian 77
BAB IV Hasil dan Pembahasan 79
4.1 Verifikasi Kebenaran Rangkaian pada Simulasi Pre-Layout 79
4.1.1 Hasil Kuantisasi ADC 2-bit 79
4.1.2 Verifikasi Fungsional terhadap Prinsip Kerja *Flash* ADC 80
4.2 Pengaruh Implementasi Layout terhadap Performa Rangkaian 81
4.2.1 Hasil Pengukuran Parameter Performa Pre-Layout 82

UNIVERSITAS
GADJAH MADA
**Perancangan dan Evaluasi Performa Flash ADC 2-Bit Pre-Layout dan Post-Layout Menggunakan Teknologi
CMOS 45nm pada Cadence Virtuoso**
Luthfan Haq Murdaka, Ir. Prapto Nugroho, S.T., M.Eng., D.Eng., IPM. ; Ir. Agus Bejo, S.T., M.Eng., D.Eng., IPM
Universitas Gadjah Mada, 2026 | Diunduh dari http://etd.repository.ugm.ac.id/

4.2.2 Hasil Pengukuran Parameter Performa Post-Layout 83
4.2.3 Perbandingan Hasil Pre-Layout dan Post-Layout 83
4.3 Perbandingan Hasil Penelitian dengan Penelitian Terdahulu 85
BAB V Kesimpulan dan Saran 87
5.1 Kesimpulan 87
5.2 Saran 87
DAFTAR PUSTAKA 89
LAMPIRAN L-1
L.1 Contoh Isi File DSPF L-1