UNIVERSITAS GADJAH MADA
Perancangan dan Evaluasi Performa Digital-to-Analog Converter 6-Bit Berbasis Arsitektur Segmented Current-Steering pada Teknologi CMOS 45 nm untuk Aplikasi Neural Stimulation
Rafinda Ataillah Nugroho, Ir. Prapto Nugroho, S.T., M.Eng., D.Eng., IPM.; Dzuhri Radityo Utomo, S.T, M.E., Ph.D
Universitas Gadjah Mada, 2026 | Diunduh dari http://etd.repository.ugm.ac.id/

DAFTAR ISI

HALAMAN PENGESAHAN ii
PERNYATAAN BEBAS PLAGIASI iii
HALAMAN PERSEMBAHAN iv
KATA PENGANTAR vi
DAFTAR ISI vii
DAFTAR TABEL x
DAFTAR GAMBAR xi
DAFTAR SINGKATAN xii
INTISARI xiii
ABSTRACT xiv
BAB I Pendahuluan 1
1.1 Latar Belakang 1
1.2 Rumusan Masalah 3
1.3 Tujuan Penelitian 3
1.4 Batasan Penelitian 3
1.5 Manfaat Penelitian 4
1.6 Sistematika Penulisan 5
BAB II Tinjauan Pustaka dan Dasar Teori 6
2.1 Tinjauan Pustaka 6
2.1.1 Penelitian mengenai *Current-Steering Digital-to-Analog Converter* 6
2.1.2 Implementasi DAC pada Sistem *Neural Stimulator* 7
2.1.3 Research Gap dan Posisi Penelitian 10
2.1.4 Dasar Teori 11
2.1.4.1 *Digital-to-Analog Converter* (DAC) 11
2.1.4.2 *Current-Steering* DAC 11
2.1.4.3 *Segmented Current-Steering* DAC 12
2.1.4.4 *Thermometer Coding* 13
2.1.4.5 Parameter Evaluasi DAC 13
BAB III Metode Penelitian 15
3.1 Alur Penelitian 15
3.2 Objek Penelitian 16
3.3 Perangkat Penelitian 16
3.3.1 Perangkat Keras 16
3.3.2 Perangkat Lunak 17
3.3.3 Target Kinerja 17
BAB IV Perancangan Digital to Analog Converter 18

UNIVERSITAS
GADJAH MADA
Perancangan dan Evaluasi Performa Digital-to-Analog Converter 6-Bit Berbasis Arsitektur Segmented Current-Steering pada Teknologi CMOS 45 nm untuk Aplikasi Neural Stimulation
Rafinda Ataillah Nugroho, Ir. Prapto Nugroho, S.T., M.Eng., D.Eng., IPM.; Dzuhri Radityo Utomo, S.T, M.E., Ph.D
Universitas Gadjah Mada, 2026 | Diunduh dari http://etd.repository.ugm.ac.id/

4.1 Spesifikasi Desain 18
4.1.1 Pemilihan Nilai Resolusi 18
4.1.2 Pemilihan Nilai 1 LSB 18
4.1.3 Arus keluaran Full-Scale 19
4.1.4 Penentuan Resistansi Beban 19
4.1.5 Pemilihan Tegangan Catu Daya 20
4.1.6 Ringkasan Spesifikasi Desain 20
4.2 Pemilihan Arsitektur Segmented Current-Steering 20
4.3 Diagram Blok DAC 21
4.4 Perancangan Blok Digital 22
4.4.1 *Input Register* 22
4.4.2 *Binary to Thermometer Decoder* 22
4.4.3 *Output Register* 24
4.4.4 integrasi Blok Digital 25
4.5 Perancangan Blok Analog 26
4.5.1 Perancangan *Reference and Bias Generator* 26
4.5.2 Perancangan *Unit Current Cell* 29
4.5.3 Perancangan *Switch Array* 31
4.6 Perancangan *Testbench* Digital-to-Analog Converter 32
4.6.1 *Testbench* Blok Digital 33
BAB V Hasil dan Pembahasan 34
5.1 Hasil Simulasi Blok Digital 34
5.1.1 Analisis Timing Antar Blok 34
5.1.2 Verifikasi Input Register 35
5.1.3 Verifikasi Binary-to-Thermometer Decoder 35
5.1.4 Verifikasi Output Register 36
5.2 Hasil Simulasi DAC 36
5.2.1 Hasil *Transfer Characteristic* 6-bit DAC 37
5.3 Hasil Layout 38
5.3.1 Hasil Layout Digital 38
5.3.2 Hasil Layout Bias Generator 40
5.3.3 Hasil Layout Unit Current Cell 40
5.3.4 Hasil Layout Switch Array 42
5.3.5 Layout Keseluruhan DAC 43
5.4 Analisis Monte Carlo 43
5.5 Analisis Parameter Performa DAC 47
5.5.1 Differential Non-Linearity (DNL) 47
5.5.2 Integral Non-Linearity (INL) 47
5.5.3 Monotonicity 48

UNIVERSITAS
GADJAH MADA
Perancangan dan Evaluasi Performa Digital-to-Analog Converter 6-Bit Berbasis Arsitektur Segmented Current-Steering pada Teknologi CMOS 45 nm untuk Aplikasi Neural Stimulation
Rafinda Ataillah Nugroho, Ir. Prapto Nugroho, S.T., M.Eng., D.Eng., IPM.; Dzuhri Radityo Utomo, S.T, M.E., Ph.D
Universitas Gadjah Mada, 2026 | Diunduh dari http://etd.repository.ugm.ac.id/

5.5.4 Analisis *Offset Error* dan *Gain Error* 48
5.5.5 Power Consumption 49
5.5.6 Area 50
5.6 Evaluasi Pemenuhan Spesifikasi Perancangan 50
5.7 Perbandingan dengan Penelitian Lain 52
BAB VI Kesimpulan dan Saran 53
6.1 Kesimpulan 53
6.2 Saran 53
DAFTAR PUSTAKA 55
LAMPIRAN L-1
L.1 Source Code DAC Digital L-1
L.1.1 Source Code Input Register L-1
L.1.2 Source Code Binary to Thermometer Decoder L-1
L.1.3 Source Code Output Register L-2
L.1.4 Source Code dac top L-2
L.1.5 Source Code Testbench Digital L-3
L.2 Source Code Python L-5
L.2.1 Skrip Sampling 64 level Tegangan DAC L-5
L.2.2 Skrip Perhitungan DNL & INL L-7