UNIVERSITAS
GADJAH MADA
Perancangan ADC Sigma-Delta Orde-3 Feedforward 3-Bit pada Teknologi GPDK 45 nm untuk Aplikasi Wearable Biomedis Berdaya Rendah
Raihan Fauzy Ferdyansyah, Ir. Prapto Nugroho, S.T., M.Eng., D.Eng., IPM.; Ir. Agus Bejo, S.T., M.Eng., D.Eng., IPM
Universitas Gadjah Mada, 2026 | Diunduh dari http://etd.repository.ugm.ac.id/

DAFTAR ISI

HALAMAN PENGESAHAN iii
HALAMAN PERSEMBAHAN iv
KATA PENGANTAR vi
DAFTAR ISI vii
DAFTAR TABEL xi
DAFTAR GAMBAR xii
DAFTAR SINGKATAN xv
INTISARI xvi
ABSTRACT xvii
BAB I Pendahuluan 1
1.1 Latar Belakang 1
1.2 Rumusan Masalah 2
1.3 Tujuan Penelitian 3
1.4 Manfaat Penelitian 3
1.5 Batasan Penelitian 3
1.6 Sistematika Penulisan 4
BAB II Tinjauan Pustaka dan Dasar Teori 6
2.1 Tinjauan Pustaka 6
2.1.1 ADC $\Sigma\Delta$ berbasis VCO 6
2.1.2 ADC $\Sigma\Delta$ *Continuous-Time* 6
2.1.3 ADC $\Sigma\Delta$ *Discrete-Time Feedforward* 7
2.1.4 Analisis Literatur dan *Research Gap* 7
2.2 Dasar Teori 9
2.2.1 MOSFET dan Parameter Utamanya 9
2.2.2 Teknologi CMOS dan Parameter Proses GPDK 45 nm 10
2.2.3 *Operational Transconductance Amplifier* (OTA) 11
2.2.4 Karakteristik Sinyal ECG dan EEG 12
2.2.5 Prinsip Dasar ADC Sigma-Delta 12
2.2.6 Arsitektur *Feedforward* dan Keunggulannya 14
2.2.7 Kuantisasi Multibit 3-bit 16
2.2.8 Rangkaian *Switched-Capacitor* dan Integrator SC 16
2.2.9 OTA *Folded Cascode* 17
2.2.10 Model *Mismatch* Pelgrom dan Offset Tegangan 18
2.2.11 Komparator Dinamik dan Kuantiser *Flash* 18
2.2.12 DAC Resistif 19
2.2.13 *Clock Generator Non-Overlapping* 19

UNIVERSITAS
GADJAH MADA
Perancangan ADC Sigma-Delta Orde-3 Feedforward 3-Bit pada Teknologi GPDK 45 nm untuk Aplikasi Wearable Biomedis Berdaya Rendah
Raihan Fauzy Ferdyansyah, Ir. Prapto Nugroho, S.T., M.Eng., D.Eng., IPM.; Ir. Agus Bejo, S.T., M.Eng., D.Eng., IPM
Universitas Gadjah Mada, 2026 | Diunduh dari http://etd.repository.ugm.ac.id/

2.2.14 *Bootstrapped Switch* untuk Operasi *Low-Voltage* 20
2.2.14.1 Prinsip Kerja *Bootstrapping* 20
2.2.14.2 Topologi Simetris Dessouky–Kaiser 20
2.2.15 Derau Termal kT/C 21
2.2.16 Metrik Kinerja ADC 21
BAB III Perancangan ADC $\Sigma\Delta$ Orde-3 *Feedforward* 23
3.1 Metodologi Perancangan 23
3.1.1 Justifikasi Pemilihan Arsitektur 23
3.1.2 Spesifikasi dan Target Perancangan 23
3.1.3 Perangkat Penelitian 24
3.1.4 Alur Perancangan 25
3.2 Perancangan Sistem ADC $\Sigma\Delta$ 25
3.2.1 Arsitektur *Top-Level* Modulator 25
3.2.2 OTA *Folded Cascode* 26
3.2.2.1 Topologi dan Justifikasi 26
3.2.2.2 CT-CMFB Resistif 28
3.2.2.3 Analisis Rangkaian 28
3.2.2.4 Tabel Parameter Final OTA 34
3.2.3 SC Integrator 34
3.2.3.1 Topologi *Double Sampling* 34
3.2.3.2 Penentuan V_{DAC} dan Amplitudo Input 36
3.2.3.3 Koefisien dan Rasio C_s/C_i 36
3.2.3.4 Penentuan C_s dari kT/C 36
3.2.3.5 Nilai Kapasitor 37
3.2.3.6 Verifikasi *Settling* 37
3.2.3.7 Verifikasi *Phase Margin* 38
3.2.4 *Bootstrapped Switch* 38
3.2.4.1 Motivasi dan Identifikasi Sakelar Kritis 38
3.2.4.2 Topologi Simetris Dessouky–Kaiser 39
3.2.4.3 Sizing MNSW dan C_{offset} 40
3.2.4.4 Estimasi Konsumsi Daya 41
3.2.5 DAC Resistif 42
3.2.5.1 Topologi 42
3.2.5.2 Sizing R_{unit} 42
3.2.5.3 Verifikasi 43
3.2.6 Komparator Dinamik Flash 44
3.2.6.1 Topologi 44
3.2.6.2 Motivasi Perubahan V_{DAC} 44
3.2.6.3 Sizing dari Model Pelgrom 44

UNIVERSITAS
GADJAH MADA
Perancangan ADC Sigma-Delta Orde-3 Feedforward 3-Bit pada Teknologi GPDK 45 nm untuk Aplikasi Wearable Biomedis Berdaya Rendah
Raihan Fauzy Ferdyansyah, Ir. Prapto Nugroho, S.T., M.Eng., D.Eng., IPM.; Ir. Agus Bejo, S.T., M.Eng., D.Eng., IPM
Universitas Gadjah Mada, 2026 | Diunduh dari http://etd.repository.ugm.ac.id/

3.2.6.4 Waktu Regenerasi dan Referensi Tegangan 46
3.2.7 Blok Digital Pengolah Keluaran Kuantiser 46
3.2.7.1 Topologi dan Justifikasi 46
3.2.7.2 Deretan DFF *Retiming* 47
3.2.7.3 *Encoder Thermometer-to-Binary* 47
3.2.7.4 Dekoder 3-ke-8 untuk DAC Resistif 48
3.2.7.5 Implementasi RTL dan Sintesis 48
3.2.7.6 Estimasi Konsumsi Daya 49
3.2.8 *Clock Generator Non-Overlapping* 49
3.2.8.1 Arsitektur 49
3.2.8.2 Sizing *Delay Chain* A/B (*Dead Time*) 49
3.2.8.3 Sizing *Delay Chain* C (θ_{2d}) 50
3.2.9 Ringkasan Konsumsi Daya 50
3.3 Verifikasi Behavioral 51
3.3.1 Sintesis *Noise Transfer Function* 51
3.3.2 Pemilihan OSR Efektif 52
3.3.3 Karakteristik SNDR terhadap Amplitudo Input 53
3.3.4 Ringkasan Hasil Behavioral 54
BAB IV Hasil dan Pembahasan 56
4.1 Verifikasi Parameter Proses GPDK 45 nm 56
4.1.1 Metodologi Ekstraksi Parameter 56
4.1.2 Hasil Ekstraksi Semua Panjang Kanal 57
4.2 Hasil Verifikasi Setiap Blok 58
4.2.1 OTA *Folded Cascode* 58
4.2.1.1 Simulasi dan Penyesuaian *Sizing* OTA 58
4.2.1.2 Justifikasi Gain OTA 47,6 dB 59
4.2.1.3 Verifikasi CT-CMFB 62
4.2.2 *Bootstrapped Switch* 62
4.2.3 DAC Resistif 62
4.2.3.1 Hasil Simulasi Transien DAC Resistif 62
4.2.3.2 Analisis Diskrepansi Rentang Keluaran DAC 63
4.2.4 Komparator Dinamik 64
4.2.5 *Clock Generator* 64
4.2.5.1 Optimasi Daya *Delay Chain* 64
4.2.5.2 Hasil Simulasi Transien *Clock Generator* 66
4.3 Verifikasi Sistem ADC $\Sigma\Delta$ 68
4.3.1 Verifikasi Behavioral 68
4.3.2 Verifikasi SNDR melalui Spektrum Keluaran (Behavioral) 68
4.3.3 Verifikasi *Closed-loop* dan *Bitstream* 69

UNIVERSITAS
GADJAH MADA
Perancangan ADC Sigma-Delta Orde-3 Feedforward 3-Bit pada Teknologi GPDK 45 nm untuk Aplikasi Wearable Biomedis Berdaya Rendah
Raihan Fauzy Ferdyansyah, Ir. Prapto Nugroho, S.T., M.Eng., D.Eng., IPM.; Ir. Agus Bejo, S.T., M.Eng., D.Eng., IPM
Universitas Gadjah Mada, 2026 | Diunduh dari http://etd.repository.ugm.ac.id/

4.3.4 Verifikasi Konsumsi Daya dan *Figure of Merit* 73
4.4 Pembahasan 74
4.4.1 Dampak Konversi 180 nm ke 45 nm terhadap Keputusan Desain Blok Analog 74
4.4.2 Analisis *Trade-off* Gain–Power–Headroom 74
4.4.3 Perbandingan dengan Desain Referensi 74
4.4.4 Kelebihan dan Keterbatasan 76
4.5 Penggambaran *Layout* Blok Analog 77
4.5.1 *Layout* OTA *Folded Cascode* 77
4.5.2 *Layout* CT-CMFB Resistif 78
4.5.3 *Layout Bootstrapped Switch* 79
4.5.4 *Layout* DAC Resistif 80
4.5.5 *Layout* Komparator Dinamik 81
4.6 Ringkasan Hasil 82
BAB V Kesimpulan dan Saran 84
5.1 Kesimpulan 84
5.2 Saran 86
DAFTAR PUSTAKA 88
LAMPIRAN L-1
L.1 Kode RTL Verilog Blok Digital L-1
L.2 Kode MATLAB Verifikasi *Behavioral* L-4
L.2.1 Sintesis NTF dan *Sweep* Ideal (Amplitudo, OSR, Orde) L-4
L.2.2 Verifikasi Pengaruh *Finite Gain* OTA L-9
L.2.3 Verifikasi SNDR dengan *Noise* (kT/C dan OTA) L-13