UNIVERSITAS
GADJAH MADA
Perancangan ADC Sigma-Delta Orde-3 Feedforward 3-Bit pada Teknologi GPDK 45 nm untuk Aplikasi Wearable Biomedis Berdaya Rendah
Raihan Fauzy Ferdyansyah, Ir. Prapto Nugroho, S.T., M.Eng., D.Eng., IPM.; Ir. Agus Bejo, S.T., M.Eng., D.Eng., IPM
Universitas Gadjah Mada, 2026 | Diunduh dari http://etd.repository.ugm.ac.id/

ABSTRACT

Wearable devices for biomedical signal monitoring such as electrocardiogram (ECG) and electroencephalogram (EEG) require analog-to-digital converters (ADCs) with high resolution ($\geq$12 bit ENOB) and ultra-low power consumption. The sigma-delta ($\Sigma\Delta$) ADC architecture is well suited for this application due to its ability to trade sampling speed for resolution through oversampling and noise shaping.

This thesis designs a third-order feedforward 3-bit $\Sigma\Delta$ ADC on GPDK 45 nm CMOS with $V_{DD} = 1.0$ V as an adaptation of an architecture previously implemented on 180 nm CMOS technology. Four key modifications were implemented, namely replacement of the telescopic cascode OTA with a fully differential folded cascode OTA using a PMOS input pair, transistor sizing adjustment using parameters extracted directly from the GPDK 45 nm PDK, replacement of conventional transmission gates with Dessouky–Kaiser bootstrapped switches to overcome switch limitations at low supply voltage, and replacement of SC-CMFB with resistive CT-CMFB. Six analog blocks were designed through hand calculations and verified using DC Spectre simulations on Cadence Virtuoso.

Behavioral simulation using the Schreier Delta-Sigma Toolbox yielded a peak SNDR of 83.5 dB at an effective OSR of 64, exceeding the 80 dB target, equivalent to approximately 13.6 bit ENOB at the behavioral level (modulator bitstream, prior to decimation). Closed-loop Spectre transient simulation shows the third-order loop functioning, tracking the input signal with a modulating quantizer. The hand-calculation estimated power consumption is 21.1 μW (including CT-CMFB), while transient simulation yields an average power of $\approx$40 μW, both meeting the $<$ 50 μW target, with a projected Walden FoM of 97.7 fJ/conv-step. This FoM is termed a projection because it combines transistor-level power with an ENOB derived from a calibrated behavioral model, while transistor-level SNDR measurement through bitstream FFT is designated as further work.

Keywords : sigma-delta ADC, GPDK 45 nm, folded cascode, bootstrapped switch, low power

UNIVERSITAS
GADJAH MADA
Perancangan ADC Sigma-Delta Orde-3 Feedforward 3-Bit pada Teknologi GPDK 45 nm untuk Aplikasi Wearable Biomedis Berdaya Rendah
Raihan Fauzy Ferdyansyah, Ir. Prapto Nugroho, S.T., M.Eng., D.Eng., IPM.; Ir. Agus Bejo, S.T., M.Eng., D.Eng., IPM
Universitas Gadjah Mada, 2026 | Diunduh dari http://etd.repository.ugm.ac.id/

INTISARI

Perangkat *wearable* untuk pemantauan sinyal biomedis seperti elektrokardiogram (ECG) dan elektroensefalogram (EEG) memerlukan *analog-to-digital converter* (ADC) dengan resolusi tinggi ($\geq$12 bit ENOB) dan konsumsi daya sangat rendah. Arsitektur ADC sigma-delta ($\Sigma\Delta$) sesuai untuk kebutuhan ini karena menukar kecepatan *sampling* dengan resolusi melalui mekanisme *oversampling* dan *noise shaping*.

Skripsi ini merancang ADC $\Sigma\Delta$ orde-3 *feedforward* 3-bit pada teknologi GPDK 45 nm CMOS dengan $V_{DD} = 1{,}0$ V sebagai adaptasi dari arsitektur yang sebelumnya diimplementasikan pada teknologi CMOS 180 nm. Empat modifikasi utama dilakukan, yaitu penggantian OTA dari *telescopic cascode* ke *folded cascode fully differential* dengan PMOS *input pair*, penyesuaian *sizing* transistor menggunakan parameter yang diekstrak langsung dari PDK GPDK 45 nm, penggantian *transmission gate* dengan *bootstrapped switch* Dessouky–Kaiser untuk mengatasi keterbatasan sakelar pada V_{DD} rendah, dan penggantian SC-CMFB dengan CT-CMFB resistif. Perancangan enam blok analog dilakukan melalui *hand calculation* dan diverifikasi menggunakan simulasi DC Spectre pada Cadence Virtuoso.

Simulasi *behavioral* menggunakan *Delta-Sigma Toolbox* Schreier menghasilkan *peak* SNDR $= 83{,}5$ dB pada OSR efektif 64, melampaui target 80 dB, yang setara dengan sekitar $13{,}6$ bit ENOB pada tingkat *behavioral* (*bitstream* modulator, sebelum desimasi). Simulasi transien *closed-loop* pada Cadence Spectre memperlihatkan *loop* orde-3 berfungsi menjejaki sinyal masukan dengan *quantizer* bermodulasi. Konsumsi daya estimasi *hand calculation* sebesar $21{,}1$ μW (termasuk CT-CMFB), sedangkan simulasi transien menghasilkan daya rata-rata ≈ 40 μW, keduanya memenuhi target < 50 μW, dengan FoM Walden proyeksi $97{,}7$ fJ/conv-step. FoM ini disebut proyeksi karena menggabungkan daya transistor-level dengan ENOB dari model *behavioral* terkalibrasi, sementara SNDR transistor-level melalui FFT *bitstream* ditetapkan sebagai pekerjaan lanjutan.

Kata kunci: ADC sigma-delta, GPDK 45 nm, *folded cascode*, *bootstrapped switch*, daya rendah