UNIVERSITAS
GADJAH MADA
Implementasi Filter Digital IIR Butterworth Orde Empat Berbasis Biquad Cascade pada FPGA Basys3
Adji Pangestu, Ir. Agus Bejo, S.T., M.Eng., D.Eng., IPM.; Dzuhri Radityo Utomo, S.T, M.E., Ph.D
Universitas Gadjah Mada, 2026 | Diunduh dari http://etd.repository.ugm.ac.id/

INTISARI

Perkembangan teknologi *Digital Signal Processing* (DSP) mendorong kebutuhan implementasi filter digital yang mampu bekerja secara *real-time* dengan performa tinggi dan penggunaan *resource* yang efisien. Salah satu implementasi DSP yang banyak digunakan adalah filter digital *Infinite Impulse Response* (IIR) karena memiliki kompleksitas orde yang lebih rendah dibandingkan filter FIR. Akan tetapi, implementasi filter IIR orde tinggi pada sistem *fixed-point* memiliki tantangan berupa sensitivitas terhadap kuantisasi koefisien dan stabilitas sistem. Oleh karena itu, pada penelitian ini diimplementasikan filter digital IIR Butterworth orde empat dengan menggunakan struktur *biquad cascade* berbasis FPGA Basys3.

Penelitian ini bertujuan untuk merancang, mengimplementasikan, dan memvalidasi sistem filter digital IIR Butterworth berbasis FPGA dengan menggunakan bahasa deskripsi perangkat keras Verilog. Sistem mendukung beberapa konfigurasi filter, yaitu *low-pass filter* (LPF), *high-pass filter* (HPF), *band-pass filter* (BPF), dan *band-stop filter* (BSF). Koefisien filter dirancang dengan menggunakan Python dan pustaka *scipy.signal*, kemudian dikonversi ke representasi *fixed-point* Q1.14 sebelum diimplementasikan pada FPGA. Untuk menguji karakteristik filter yang telah dirancang, digunakan mikrokontroler STM32 sebagai pembangkit sinyal sinus digital. Data sinyal kemudian dikirimkan menuju FPGA Basys3 melalui komunikasi UART untuk diproses dengan menggunakan filter digital IIR Butterworth yang telah diimplementasikan. Hasil keluaran filter selanjutnya dikirim kembali melalui UART dan dianalisis dengan menggunakan Python untuk memperoleh karakteristik respons frekuensi serta membandingkan hasil implementasi FPGA dengan hasil simulasi.

Validasi sistem dilakukan dengan membandingkan respons frekuensi hasil implementasi FPGA terhadap hasil simulasi Python dengan menggunakan metode *Fast Fourier Transform* (FFT). Hasil pengujian menunjukkan bahwa implementasi filter digital pada FPGA mampu menghasilkan karakteristik respons frekuensi yang sesuai dengan hasil simulasi perangkat lunak. Selain itu, hasil *timing analysis* menunjukkan bahwa sistem berhasil memenuhi seluruh *timing constraint* dengan nilai *Worst Negative Slack* sebesar 0.384 ns dan mampu bekerja secara stabil pada frekuensi clock 76.5 MHz. Hasil *resource utilization* menunjukkan penggunaan *resource* FPGA yang relatif kecil, yaitu 195 LUT, 390 register, dan 16 DSP48E1. Estimasi total konsumsi daya sistem sebesar 0.202 W menunjukkan bahwa implementasi sistem masih efisien untuk aplikasi DSP *real-time*.

Berdasarkan hasil penelitian, dapat disimpulkan bahwa FPGA Basys3 mampu digunakan untuk implementasi filter digital IIR Butterworth berbasis *biquad cascade* dengan performa yang baik, penggunaan *resource* yang efisien, serta mendukung pemrosesan sinyal secara *real-time*.

Kata kunci: *digital signal processing*, FPGA, IIR *filters*, Butterworth *filters*, *fixed-point arithmetic*.

UNIVERSITAS
GADJAH MADA
Implementasi Filter Digital IIR Butterworth Orde Empat Berbasis Biquad Cascade pada FPGA Basys3
Adji Pangestu, Ir. Agus Bejo, S.T., M.Eng., D.Eng., IPM.; Dzuhri Radityo Utomo, S.T, M.E., Ph.D
Universitas Gadjah Mada, 2026 | Diunduh dari http://etd.repository.ugm.ac.id/

ABSTRACT

The development of Digital Signal Processing (DSP) technology has increased the need for digital filter implementations capable of operating in real-time with high performance and efficient resource utilization. One of the widely used DSP implementations is the Infinite Impulse Response (IIR) digital filter because it has lower order complexity compared to FIR filters. However, the implementation of high-order IIR filters in fixed-point systems faces challenges related to coefficient quantization sensitivity and system stability. Therefore, this research implements a fourth-order Butterworth IIR digital filter using a biquad cascade structure on the Basys3 FPGA.

This research aims to design, implement, and validate an FPGA-based Butterworth IIR digital filter system using the Verilog hardware description language. The system supports several filter configurations, namely low-pass filter (LPF), high-pass filter (HPF), band-pass filter (BPF), and band-stop filter (BSF). The filter coefficients were designed using Python and the scipy.signal library, then converted into Q1.14 fixed-point representation before being implemented on the FPGA. To evaluate the characteristics of the designed filters, an STM32 microcontroller was employed as a digital sinusoidal signal generator. The generated signal samples were transmitted to the Basys3 FPGA through UART communication and processed using the implemented Butterworth IIR filter. The filtered output data were subsequently transmitted back via UART and analyzed using Python to obtain the frequency response characteristics and to compare the FPGA implementation results with the simulation results.

System validation was performed by comparing the frequency response of the FPGA implementation with Python simulation results using the Fast Fourier Transform (FFT) method. The experimental results show that the digital filter implementation on the FPGA was able to produce frequency response characteristics that matched the software simulation results. In addition, the timing analysis results indicate that the system successfully met all timing constraints with a Worst Negative Slack value of 0.384 ns and was able to operate stably at a clock frequency of 76.5 MHz. The resource utilization results show relatively low FPGA resource usage, consisting of 195 LUTs, 390 registers, and 16 DSP48E1 blocks. The estimated total power consumption of 0.202 W indicates that the implemented system is still efficient for real-time DSP applications.

Based on the research results, it can be concluded that the Basys3 FPGA can be used for the implementation of a Butterworth IIR digital filter based on a biquad cascade structure with good performance, efficient resource utilization, and support for real-time signal processing.

Keywords: Digital signal processing, FPGA, IIR filters, Butterworth filters, fixed-point arithmetic, field programmable gate arrays, UART communication.