UNIVERSITAS GADJAH MADA
Kompensasi Latensi Jaringan Modbus TCP menggunakan Algoritma PI-Delay pada Upper Level Control Inverter Berbasis ESP32 dengan Validasi Hardware-in-the-Loop
Muhammad Wisnu, Ir. Roni Irnawan, , S.T., M.Sc., Ph.D., SMIEEE.; Prof. Ir. Sarjiya, S.T., M.T., Ph.D., IPU.
Universitas Gadjah Mada, 2026 | Diunduh dari http://etd.repository.ugm.ac.id/

DAFTAR ISI

HALAMAN PENGESAHAN ii
PERNYATAAN BEBAS PLAGIASI iv
HALAMAN PERSEMBAHAN v
KATA PENGANTAR vi
DAFTAR ISI ix
DAFTAR TABEL xii
DAFTAR GAMBAR xiii
DAFTAR SINGKATAN xv
INTISARI xvi
ABSTRACT xvii
BAB I Pendahuluan 1
1.1 Latar Belakang 1
1.2 Rumusan Masalah 3
1.3 Batasan Masalah 4
1.4 Tujuan Penelitian 4
1.5 Manfaat Penelitian 4
1.6 Sistematika Penulisan 5
BAB II Tinjauan Pustaka dan Dasar Teori 7
2.1 Tinjauan Pustaka 7
2.2 Analisis Perbandingan 8
2.3 Dasar Teori 11
2.3.1 *Grid-Connected* dan *Grid-Following Inverter* 11
2.3.2 *Voltage Source Converter* (VSC) 12
2.3.3 Struktur Hierarki Pengendali Inverter 14
2.3.3.1 Kendali Kerangka Referensi Sinkron 15
2.3.4 Transformasi Koordinat 17
2.3.4.1 Transformasi Clarke 17
2.3.4.2 Transformasi Park 18
2.3.5 *Synchronous Reference Frame Phase-Locked Loop* (SRF-PLL) ... 21
2.3.6 Pembangkitan Referensi Arus 23
2.3.7 Kendali Arus Proporsional-Integral (PI) 24
2.3.8 Kompensasi Waktu Tunda dengan *PI-Delay* 25
2.3.9 Persyaratan Latensi Komunikasi dan Hierarki Kendali pada Sistem Energi Terdistribusi 26
2.3.10 Standar Performa Pengendali Arus 28
2.3.11 *Hardware-in-the-Loop* (HIL) 28

UNIVERSITAS
GADJAH MADA
**Kompensasi Latensi Jaringan Modbus TCP menggunakan Algoritma PI-Delay pada Upper Level Control
Inverter Berbasis ESP32 dengan Validasi Hardware-in-the-Loop**
Muhammad Wisnu, Ir. Roni Irnawan, , S.T., M.Sc., Ph.D., SMIEEE.; Prof. Ir. Sarjiya, S.T., M.T., Ph.D., IPU.
Universitas Gadjah Mada, 2026 | Diunduh dari http://etd.repository.ugm.ac.id/

2.3.12 Modbus TCP 29
2.3.13 Mikrokontroler ESP32 31
2.3.14 Typhoon HIL 404 33
2.3.15 Wireshark 34
BAB III Metode Penelitian 37
3.1 Alat dan Bahan Penelitian 37
3.1.1 Perangkat Keras 37
3.1.2 Perangkat Lunak 37
3.2 Metode dan Alur Penelitian 38
3.2.1 Metode yang Digunakan 38
3.2.2 Alur Penelitian 39
3.3 Arsitektur Sistem 40
3.4 Alur Kerja Sistem 41
3.5 Perancangan Subsistem Typhoon HIL 42
3.5.1 Model Sistem Tenaga pada Typhoon HIL 42
3.5.1.1 *Signal Calculation* 45
3.5.1.2 *Phase-Locked Loop* 46
3.5.1.3 Transformasi abc to dq 48
3.5.1.4 Transformasi dq to abc 49
3.5.1.5 Komunikasi Modbus TCP Client 50
3.6 Perancangan Subsistem ESP32 52
3.6.1 Arsitektur *Dual-Core* FreeRTOS 53
3.6.1.1 *Wi-Fi Manager* 54
3.6.1.2 Implementasi Modbus TCP Server 54
3.6.1.3 Implementasi Current Reference 55
3.6.1.4 Implementasi PI Current Controller dengan PI-Delay 57
3.6.1.5 Justifikasi Pemilihan Parameter Pengendali 61
3.6.1.6 Analisis Metrik Respons Transien Teoritis 63
3.7 Perancangan Subsistem Laptop *Host* 63
3.7.1 Perancangan Antarmuka Pengguna Grafis 64
3.8 Pengujian Validasi Algoritma Kendali Arus 65
3.8.1 Pengujian *Software-in-the-Loop* 65
3.8.2 Pengujian melalui Komunikasi Serial 66
3.8.3 Pengujian *Hardware-in-the-Loop* Berbasis Modbus TCP 67
3.9 Verifikasi Antarmuka Komunikasi Modbus TCP 68
3.10 Pengujian *Controller Hardware-in-the-Loop* 69
3.11 Kuantifikasi Kinerja Transmisi Jaringan dan Komputasi Internal 70
3.11.1 Akuisisi Data Trafik SCADA 70
3.11.2 Kuantifikasi SRT dan Evaluasi Jitter OS 71

UNIVERSITAS
GADJAH MADA
**Kompensasi Latensi Jaringan Modbus TCP menggunakan Algoritma PI-Delay pada Upper Level Control
Inverter Berbasis ESP32 dengan Validasi Hardware-in-the-Loop**
Muhammad Wisnu, Ir. Roni Irnawan, , S.T., M.Sc., Ph.D., SMIEEE.; Prof. Ir. Sarjiya, S.T., M.T., Ph.D., IPU.
Universitas Gadjah Mada, 2026 | Diunduh dari http://etd.repository.ugm.ac.id/

3.12 Kuantifikasi Waktu Komputasi Internal ESP32 72
BAB IV Hasil dan Pembahasan 74
4.1 Validasi Implementasi *Upper Level Controller* pada ESP32 74
4.1.1 Hasil Pengujian *Software-in-the-Loop* 74
4.1.2 Hasil Pengujian melalui Komunikasi Serial 75
4.1.3 Hasil Pengujian *Hardware-in-the-Loop* Berbasis Modbus TCP 76
4.2 Verifikasi Antarmuka Komunikasi Modbus TCP 79
4.2.1 Verifikasi Pemetaan Register dan Fungsionalitas FC16/FC03 79
4.2.2 Verifikasi Proteksi *Overwrite* pada Register *Read-Only* 80
4.2.3 Verifikasi Komunikasi Dua Saluran (ESP32 dan SCADA (GUI Python)) 81
4.3 Evaluasi Kinerja Transmisi Jaringan dan Komputasi Internal 82
4.3.1 Hasil Pengukuran *Service Response Time* 82
4.3.2 Kesesuaian Standar *Smart Grid* dan Ketahanan terhadap *OS Jitter* 85
4.3.3 Analisis Kinerja Komputasi Internal ESP32 85
4.3.4 Pengaruh *Delay* terhadap Kestabilan *Loop* Kendali 87
4.4 Validasi Performa *Closed-Loop* melalui *Hardware-in-the-Loop* 88
4.4.1 Skenario A - Keadaan Tunak 88
4.4.2 Skenario B - Transien Daya Aktif 89
4.4.3 Skenario C - Transien Daya Reaktif 91
4.4.4 Skenario D - Pembalikan Daya Ekstrem 92
4.4.5 Skenario E - Perubahan Beban Dinamis 93
4.4.6 Rangkuman Analisis Lintas Skenario 95
4.5 Evaluasi *Stress Test* Batas Kestabilan Algoritma PI-Delay 96
4.6 Kontribusi Implementasi Penelitian 98
BAB V Kesimpulan dan Saran 99
5.1 Kesimpulan 99
5.2 Saran 99
DAFTAR PUSTAKA 101
LAMPIRAN L-1
L.1 *Source Code* L-1
L.1.1 File main.c L-1
L.1.2 File current_ref.h L-6
L.1.3 File current_ref.c L-8
L.1.4 File current_controller.h L-10
L.1.5 File current_controller.c L-13
L.2 Peta Register Modbus TCP L-18