UNIVERSITAS
GADJAH MADA
TInjauan Platform Learn-FPGA Sebagai Media Pembelajaran Desain Prosesor RISC-V dan FPGA Programming
IQBAL AZISMULLAH, Enas Dhuhri Kusuma, S.T., M.Eng.;Ir. Agus Bejo, S.T., M.Eng., D.Eng., IPM.
Universitas Gadjah Mada, 2026 | Diunduh dari http://etd.repository.ugm.ac.id/

INTISARI

Pada tugas akhir ini akan dilakukan pembelajaran terkait desain prosesor RISC-V dan *Field Programmable Gate Array* (FPGA) programming. Pembelajaran ini akan dilakukan dengan bantuan github repository learn-fpga milik BrunoLevy. Github repository tersebut menjelaskan tahapan desain prosesor RISC-V dimulai dari bentuk yang sederhana yang hanya berupa suatu program blinker hingga dapat menjadi suatu prosesor RISC-V dengan bantuan Verilog HDL. Metodologi penelitian yang dilakukan pada tugas akhir ini mengikuti alur yang telah dipaparkan pada github repository tersebut dengan diakhir akan dilakukan pengujian pada prosesor yang telah dibuat yaitu dengan menjalankan beberapa program yang dapat menampilkan fitur-fitur yang didukung oleh prosesoor. Beberapa program tersebut diantaranya adalah program sederhana untuk menyalakan LED melalui pushbutton yang digunakan untuk menguji kerja I/O. Selanjutnya, juga akan dilakukan pengujian dengan menjalankan program C berupa program yang akan menampilkan deret fibonacci. Program berbahasa C ini terlebih dahulu akan diubah ke dalam bentuk kode mesin menggunakan bantuan RISC-V toolchain berulah kemudian akan di jalankan pada prosesor yang dibuat.

Dari penelitian ini didapatkan bahwa prosesor yang telah dibuat telah berhasil untuk memenuhi pengujian-pengujian diatas diantaranya uji kerja instruksi RISC-V yang diimplementasikan yang telah menunjukkan keluaran yang sesuai. Lalu, prosesor juga dapat menjalankan program untuk menyalakan LED dengan pushbutton dengan baik yang menunjukkan fungsi I/O yang berjalan. Terakhir, prosesor juga berhasil dalam menjalankan program fibonacci yang diberikan dengan memberikan keluaran yang sesuai.

Kata kunci : FPGA, prosesor, RISC-V, Verilog, SOC

UNIVERSITAS
GADJAH MADA
TInjauan Platform Learn-FPGA Sebagai Media Pembelajaran Desain Prosesor RISC-V dan FPGA Programming
IQBAL AZISMULLAH, Enas Dhuhri Kusuma, S.T., M.Eng.;Ir. Agus Bejo, S.T., M.Eng., D.Eng., IPM.
Universitas Gadjah Mada, 2026 | Diunduh dari http://etd.repository.ugm.ac.id/

ABSTRACT

This final project will present a study on RISC-V processor design and Field Programmable Gate Array (FPGA) programming. This learning will be done with the help of the GitHub repository learn-fpga by BrunoLevy. This GitHub repository explains the stages of designing a RISC-V processor, from a simple form that is just a blinker program to becoming a RISC-V processor with the help of Verilog HDL. The research methodology used in this final project follows the flow outlined in the GitHub repository, with testing of the created processor being done at the end by running several programs that can demonstrate the features supported by the processor. Some of these programs include a simple program to turn on an LED via a push button, which is used to test I/O functionality. Additionally, testing will also be conducted by running a C program that displays the Fibonacci sequence. This C program will first be converted into machine code using the RISC-V toolchain, and then executed on the fabricated processor.

From this research, it was found that the processor that was created successfully met the above tests, including the RISC-V instruction performance test, which showed the appropriate output. Then, the processor can also run a program to turn on the LED correctly with a push button, demonstrating that the I/O function is working. Finally, the processor also successfully ran the given Fibonacci program, producing the correct output.

Keywords : FPGA, processor, RISC-V, Verilog, SOC