UNIVERSITAS
GADJAH MADA
Perancangan System on Chip (SoC) RISC-V menggunakan Zero-Riscy
William Gunawan, Ir. Agus Bejo, S.T., M.Eng., D.Eng., IPM., Enas Dhuhri Kusuma, S.T., M.Eng.
Universitas Gadjah Mada, 2026 | Diunduh dari http://etd.repository.ugm.ac.id/

DAFTAR ISI

HALAMAN JUDUL i
HALAMAN PENGESAHAN ii
HALAMAN PENGESAHAN DEWAN PENGUJI iii
PERNYATAAN BEBAS PLAGIASI iv
HALAMAN PERSEMBAHAN v
KATA PENGANTAR vi
DAFTAR ISI vii
DAFTAR TABEL x
DAFTAR GAMBAR xi
DAFTAR SINGKATAN xiv
INTISARI xv
ABSTRACT xvi
BAB I PENDAHULUAN 1
1.1 Latar Belakang Masalah 1
1.2 Rumusan Masalah 2
1.3 Tujuan Penelitian 3
1.4 Batasan Penelitian 3
1.5 Manfaat Penelitian 4
1.6 Sistematika Penulisan 4
BAB II TINJAUAN PUSTAKA DAN LANDASAN TEORI 6
2.1 Tinjauan Pustaka 6
2.2 Landasan Teori 7
2.2.1 Arsitektur Set Instruksi RISC-V 7
2.2.2 *Core* Prosesor Zero-Riscy 8
2.2.3 Protokol Antarmuka Memori OBI 10
2.2.4 Protokol AMBA AXI4-Lite 12
2.2.5 Jembatan Protokol (*Protocol Bridge*) dan Integrasi SoC 14
2.2.6 Arsitektur Platform PULPino 15
2.2.7 Arsitektur Papan Pengembangan FPGA Zybo Z7-10 17
2.2.7.1 Blok *Processing System* (PS) 20
2.2.7.2 Blok *Programmable Logic* (PL) 20
2.2.7.3 Antarmuka PS–PL (*AXI Ports*) 21
2.2.8 Modul Periferal Eksternal: Sensor Ultrasonik dan Motor Servo 21
2.2.8.1 Sensor Jarak Ultrasonik HC-SR04 21
2.2.8.2 Motor Servo Parallax 22
BAB III METODOLOGI PENELITIAN 24

UNIVERSITAS
GADJAH MADA
Perancangan System on Chip (SoC) RISC-V menggunakan Zero-Riscy
William Gunawan, Ir. Agus Bejo, S.T., M.Eng., D.Eng., IPM., Enas Dhuhri Kusuma, S.T., M.Eng.
Universitas Gadjah Mada, 2026 | Diunduh dari http://etd.repository.ugm.ac.id/

3.1 Alat dan Bahan 24
3.1.1 Perangkat Keras 24
3.1.2 Perangkat Lunak 25
3.1.3 Pengaturan Lingkungan Pengembangan (*Environment Setup*) 25
3.2 Arsitektur Sistem (SoC) dan Pemetaan Memori 26
3.3 Struktur Hierarki Sistem dan Modul RTL SystemVerilog 29
3.3.1 Lapisan Emulasi FPGA (`fpga/rtl`) 29
3.3.2 Lapisan Inti SoC (`rtl`) 30
3.3.2.1 Blok *Top-Level* SoC 30
3.3.2.2 Blok *Core Region* (Prosesor & Memori Utama) 31
3.3.2.3 Blok Interkoneksi Bus (Protokol & Jembatan) 31
3.3.2.4 Blok Subsistem Periferal 34
3.3.3 Alur Komunikasi *Core* ke Register Periferal 34
3.4 Alur Penelitian 35
3.5 Tahapan Pelaksanaan dan Rencana Pengujian 37
3.5.1 Skenario Uji 1: Uji Transmisi Serial UART 38
3.5.2 Skenario Uji 2: Uji Aktuasi Periferal LED 38
3.5.3 Skenario Uji 3: Uji Fungsionalitas Terintegrasi (LED, Sakelar, dan UART) 38
3.5.4 Skenario Uji 4: Uji Fungsionalitas Modul Periferal Eksternal (Sensor Ultrasonik HC-SR04, Servo Parallax, dan UART) 39
3.6 Metode Analisis Kinerja 39
BAB IV HASIL DAN PEMBAHASAN 40
4.1 Adaptasi Desain Perangkat Keras untuk Lingkungan Modern 40
4.1.1 Tantangan 1: Inkompatibilitas Skrip Python Lawas 40
4.1.2 Tantangan 2: Kegagalan *Design Rule Check* OBUF (DRC REQP-127) 40
4.1.3 Tantangan 3: Inkompatibilitas Skrip TCL dan *Makefile* IP Xilinx . 42
4.2 Perancangan Alur Kompilasi Perangkat Lunak Lintas Platform 42
4.2.1 Tantangan 4: Inkonsistensi Konfigurasi Kompilasi 42
4.2.2 Tantangan 5: Galat Konversi Biner pada Skrip Pembangkit Memori 43
4.3 Integrasi Subsistem *Boot* dan Mekanisme Komunikasi PS-PL 43
4.3.1 Tantangan 6: Inkompatibilitas Kompilasi *Kernel* Linux Modern ... 44
4.3.2 Tantangan 7: Perancangan Jalur Komunikasi UART Melalui EMIO 44
4.3.3 Tantangan 8: Adaptasi Utilitas `spiload` 44
4.4 Perancangan Program Verifikasi dan Mekanisme Pemuatan Instruksi 44
4.4.1 Strategi Desain Program Verifikasi 45
4.4.2 Mekanisme Pemuatan Instruksi melalui SPI 45
4.5 Analisis Hasil Sintesis pada FPGA Zybo Z7-10 46

UNIVERSITAS
GADJAH MADA
Perancangan System on Chip (SoC) RISC-V menggunakan Zero-Riscy
William Gunawan, Ir. Agus Bejo, S.T., M.Eng., D.Eng., IPM., Enas Dhuhri Kusuma, S.T., M.Eng.
Universitas Gadjah Mada, 2026 | Diunduh dari http://etd.repository.ugm.ac.id/

4.5.1 Hasil Utilisasi Sumber Daya Logika FPGA 46
4.5.2 Hasil Analisis Pewaktuan (*Timing Analysis*) 47
4.5.3 Hasil Estimasi Konsumsi Daya 48
4.5.4 Perbandingan dan Interpretasi Keseluruhan 49
4.6 Hasil Pengujian Fungsionalitas Sistem 50
4.6.1 Skenario Uji 1: Uji Transmisi Serial UART 50
4.6.2 Skenario Uji 2: Uji Aktuasi Periferal LED 51
4.6.3 Skenario Uji 3: Uji Fungsionalitas Terintegrasi (LED, Sakelar, dan UART) 52
4.6.4 Skenario Uji 4: Uji Fungsionalitas Modul Periferal Eksternal (Sensor Ultrasonik HC-SR04, Motor Servo, dan UART) 54
4.7 Perbandingan Kinerja Profil Arsitektur (Zero-Riscy vs RI5CY) 56
4.8 Perbandingan dengan Penelitian Terdahulu 58
BAB V KESIMPULAN DAN SARAN 59
5.1 Kesimpulan 59
5.2 Saran 60
DAFTAR PUSTAKA 61
LAMPIRAN L-1
L.1 KODE SUMBER PROGRAM APLIKASI BARE-METAL L-1
L.1.1 Program Uji Transmisi Serial UART L-1
L.1.2 Program Uji Aktuasi Periferal LED L-1
L.1.3 Program Uji Fungsionalitas Terintegrasi (LED, Sakelar, dan UART) L-2
L.1.4 Uji Fungsionalitas Modul Periferal Eksternal (Sensor Ultrasonik HC-SR04, Servo Parallax, dan UART) L-4
L.2 BERKAS KENDALA PIN (XDC) DAN SKRIP BUILD L-7
L.2.1 Berkas Kendala Pemetaan Pin Zybo Z7-10 ..... L-7
L.2.2 Modifikasi Skrip Konfigurasi Berbasis TCL L-9
L.2.2.1 Skrip Pembangkitan Kekayaan Intelektual (ips/run.tcl) . L-9
L.2.2.2 Skrip Sintesis Subsistem PULPino (pulpino/run.tcl) ... L-10
L.2.2.3 Skrip Integrasi Sistem Tingkat Puncak (pulpemu/run.tcl) L-10
L.2.3 Skrip Intervensi (*Hook Scripts*) Resolusi Galat Vivado L-12
L.2.3.1 Skrip Pra-Optimasi Sintesis (pre_opt.tcl) L-12
L.2.3.2 Skrip Pra-Penempatan dan Perutean (pre_place.tcl) L-15