UNIVERSITAS
GADJAH MADA
Perancangan System on Chip (SoC) RISC-V menggunakan Zero-Riscy
William Gunawan, Ir. Agus Bejo, S.T., M.Eng., D.Eng., IPM., Enas Dhuhri Kusuma, S.T., M.Eng.
Universitas Gadjah Mada, 2026 | Diunduh dari http://etd.repository.ugm.ac.id/

INTISARI

Arsitektur *System-on-Chip* (SoC) berbasis set instruksi terbuka RISC-V memberikan fleksibilitas tinggi bagi pengembangan perangkat keras kustom, namun integrasi antara inti prosesor (*core*) dengan periferal sering kali terhambat oleh perbedaan antarmuka bus serta ketergantungan *toolchain* pada sistem operasi tertentu. Repositori PULPino yang menyediakan SoC berbasis *core* Zero-Riscy secara bawaan bergantung pada lingkungan Linux dan perangkat lunak Vivado versi lama, sehingga proses sintesis pada lingkungan Windows dengan Vivado versi terkini selalu menemui kegagalan fatal pada tahap *Design Rule Check* (DRC) dan berkas *bitstream* tidak dapat dihasilkan.

Penelitian ini mereplikasi arsitektur SoC PULPino berbasis prosesor Zero-Riscy ke dalam *Field Programmable Gate Array* (FPGA) Zybo Z7-10 dengan melakukan perbaikan holistik terhadap infrastruktur *toolchain* agar dapat beroperasi penuh pada lingkungan Windows menggunakan AMD Vivado 2025.2. Perbaikan meliputi migrasi skrip Python 2 ke Python 3 menggunakan modul Fissix, adaptasi sistem *build* melalui terminal MSYS2 UCRT64, serta penambahan skrip intervensi TCL (`pre_opt.tcl` dan `pre_place.tcl`) untuk merekayasa ulang rute sirkuit internal guna menyelesaikan galat DRC. Arsitektur logika SoC diimplementasikan pada domain *Programmable Logic* (PL), sementara *Processing System* (PS) ARM Cortex-A9 dimanfaatkan sebagai *bootloader* yang memuat program *bare-metal* ke memori instruksi melalui antarmuka SPI.

Hasil sintesis pasca-modifikasi menunjukkan bahwa desain berhasil mencapai nilai *Worst Negative Slack* (WNS) positif sebesar +31,236 ns pada frekuensi target 20 MHz dengan frekuensi maksimum teoritis $\sim$53,29 MHz, utilisasi LUT sebesar 58,64%, dan estimasi konsumsi daya total yang sangat rendah sebesar 0,107 W. Pengujian fungsionalitas menggunakan program *bare-metal* memvalidasi bahwa interkoneksi AXI4-Lite berhasil melayani transaksi memori dan manipulasi antarmuka I/O secara *real-time* tanpa galat, dibuktikan melalui transmisi teks via UART dan aktuasi sinkron antara sakelar geser dan LED fisik. Perbandingan dengan varian *core* RI5CY menunjukkan bahwa Zero-Riscy mengonsumsi 29,8% lebih sedikit LUT dan memiliki margin pewaktuan yang lebih longgar. Penelitian ini menyimpulkan bahwa SoC RISC-V Zero-Riscy terbukti memiliki tingkat keandalan dan portabilitas yang tinggi pada platform FPGA Zybo Z7-10.

Kata kunci : RISC-V, Zero-Riscy, AXI4-Lite, FPGA, Zynq-7000.

UNIVERSITAS
GADJAH MADA
Perancangan System on Chip (SoC) RISC-V menggunakan Zero-Riscy
William Gunawan, Ir. Agus Bejo, S.T., M.Eng., D.Eng., IPM., Enas Dhuhri Kusuma, S.T., M.Eng.
Universitas Gadjah Mada, 2026 | Diunduh dari http://etd.repository.ugm.ac.id/

ABSTRACT

The System-on-Chip (SoC) architecture based on the open RISC-V instruction set provides high flexibility for custom hardware development. However, integration between the processor core and peripherals is often hindered by bus interface disparities and toolchain dependencies on specific operating systems. The PULPino repository, which provides a Zero-Riscy core-based SoC, natively depends on a Linux environment and legacy Vivado versions, causing the synthesis process on a Windows environment with modern Vivado to consistently encounter fatal Design Rule Check (DRC) errors, preventing the generation of a bitstream file.

This research replicates the PULPino SoC architecture based on the Zero-Riscy processor onto the Zybo Z7-10 Field Programmable Gate Array (FPGA) by performing holistic repairs to the toolchain infrastructure to operate fully within a Windows environment using AMD Vivado 2025.2. The repairs include migrating Python 2 scripts to Python 3 using the Fissix module, adapting the build system through the MSYS2 UCRT64 terminal, and adding TCL hook scripts (`pre_opt.tcl` and `pre_place.tcl`) to re-engineer internal circuit routing to resolve DRC errors. The SoC logic architecture is implemented within the Programmable Logic (PL) domain, while the ARM Cortex-A9 Processing System (PS) is utilized as a bootloader that loads bare-metal programs into the instruction memory via the SPI interface.

The post-modification synthesis results demonstrate that the design achieves a positive Worst Negative Slack (WNS) of +31.236 ns at a 20 MHz target frequency with a theoretical maximum frequency of ∼53.29 MHz, LUT utilization of 58.64%, and an extremely low total estimated power consumption of 0.107 W. Functionality testing using bare-metal programs validates that the AXI4-Lite interconnect successfully handles memory transactions and I/O interface manipulation in real-time without errors, demonstrated through text transmission via UART and synchronous actuation between slide switches and physical LEDs. A comparison with the RI5CY core variant shows that Zero-Riscy consumes 29.8% fewer LUTs and has a more relaxed timing margin. This research concludes that the Zero-Riscy RISC-V SoC demonstrates high reliability and portability on the Zybo Z7-10 FPGA platform.

***Keywords** : RISC-V, Zero-Riscy, AXI4-Lite, FPGA, Zynq-7000*