UNIVERSITAS GADJAH MADA
Pengembangan Model Real-Time Buck Converter pada FPGA untuk Pengujian Sistem Kendali Berbasis Hardware-in-the-Loop (HIL)
Nathan Bennett Chang, Dr.-Ing. Ir. Yohan Fajar Sidik, S.T., M.Eng.; Dzuhri Radityo Utomo, S.T., M.S., Ph.D.
Universitas Gadjah Mada, 2026 | Diunduh dari http://etd.repository.ugm.ac.id/

DAFTAR ISI

HALAMAN PENGESAHAN ii
PERNYATAAN BEBAS PLAGIASI iii
HALAMAN PERSEMBAHAN iv
KATA PENGANTAR v
DAFTAR ISI vi
DAFTAR TABEL ix
DAFTAR GAMBAR x
DAFTAR SINGKATAN xiii
INTISARI xiv
ABSTRACT xv
BAB I Pendahuluan 1
1.1 Latar Belakang 1
1.2 Rumusan Masalah 3
1.3 Tujuan Penelitian 3
1.4 Batasan Masalah 3
1.5 Manfaat Penelitian 4
1.6 Sistematika Penulisan 4
BAB II Tinjauan Pustaka dan Dasar Teori 5
2.1 Tinjauan Pustaka 5
2.2 Dasar Teori 6
2.2.1 Buck Converter 6
2.2.1.1 Cara Kerja Buck Converter 6
2.2.1.2 Komponen Buck Converter 7
2.2.1.3 Topologi Buck Converter 8
2.2.2 Model Matematis Buck Converter 9
2.2.2.1 Persamaan Diferensial 9
2.2.2.2 Model Rata-Rata (*State-Space Averaging*) 9
2.2.2.3 Fungsi Transfer 10
2.2.2.4 Diskritisasi dengan Metode Forward Euler 10
2.2.2.5 Representasi *Fixed-Point* Q16.16 11
2.2.3 Kontroler Proporsional-Integral (PI) 11
2.2.3.1 Fungsi Transfer Kontroler PI 11
2.2.3.2 Pengaruh Parameter K_p dan K_i 12
2.2.3.3 Implementasi Digital Kontroler PI 12
2.2.4 Arsitektur Kontrol *Closed-Loop* 13
2.2.5 Penalaan Kontroler PI Berbasis Domain Frekuensi 13

UNIVERSITAS GADJAH MADA
Pengembangan Model Real-Time Buck Converter pada FPGA untuk Pengujian Sistem Kendali Berbasis Hardware-in-the-Loop (HIL)
Nathan Bennett Chang, Dr.-Ing. Ir. Yohan Fajar Sidik, S.T., M.Eng.; Dzuhri Radityo Utomo, S.T., M.S., Ph.D.
Universitas Gadjah Mada, 2026 | Diunduh dari http://etd.repository.ugm.ac.id/

2.2.5.1 Fungsi Transfer *Loop* Terbuka dan Kestabilan 14
2.2.5.2 Frekuensi *Crossover*, *Phase Margin*, dan *Gain Margin* . 14
2.2.5.3 Prosedur Penalaan di Domain Frekuensi 15
2.2.6 Simulasi *Hardware-in-the-Loop* (HIL) 15
2.2.7 Field-Programmable Gate Array (FPGA)..... 16
2.2.8 Mikrokontroler STM32 16
2.2.9 Protokol Komunikasi SPI..... 17
BAB III Metodologi Penelitian 18
3.1 Diagram Alir Penelitian 18
3.2 Perancangan Model *Buck Converter* 20
3.2.1 Spesifikasi Komponen Sistem 20
3.2.2 Validasi Silang Model *Plant* terhadap Simulasi QSPICE 22
3.2.3 Perancangan Model *Plant Buck Converter* pada FPGA..... 24
3.2.3.1 Persamaan Diskrit *Plant Buck Converter*..... 24
3.2.3.2 Representasi Aritmatika *Fixed-Point* Q16.16 25
3.2.3.3 Desain Modul Verilog buck_hil_plant.v 26
3.2.4 Analisis Pengaruh Langkah Waktu Diskrit (dt) terhadap Akurasi dan Redaman 27
3.2.5 Verifikasi Kesetaraan *Plant* FPGA terhadap QSPICE..... 29
3.3 Perancangan dan Pemodelan Kontrol 30
3.3.1 Perancangan Kontroler pada Mikrokontroler STM32..... 31
3.3.1.1 Kontrol *Cascade* Tegangan-Arus PI 31
3.3.1.2 Metode Tuning PI dan Analisis Frekuensi..... 31
3.3.2 Penentuan Parameter Kontroler PI 33
3.3.2.1 Pemodelan Fungsi Transfer *Plant*..... 33
3.3.2.2 *Tuning* Kontrol *Cascaded* 33
3.3.2.3 Analisis Bode dan Margin Kestabilan 39
3.4 Perancangan Komunikasi HIL 41
3.4.1 Gambaran Umum Sistem 41
3.4.2 Diagram Blok Sistem HIL..... 42
3.4.3 Perancangan Komunikasi SPI 43
3.4.3.1 Protokol Frame 64-bit 43
3.4.3.2 Desain Modul SPI Slave pada FPGA..... 45
3.4.3.3 Sinkronisasi Waktu *Sampling* 10 kHz 45
3.4.4 Implementasi Perangkat Keras 48
3.4.4.1 Konfigurasi Board FPGA dan STM32..... 48
3.4.4.2 Koneksi Antarmuka SPI dan Catu Daya..... 49
3.4.5 Verifikasi *Open-Loop* Model *Plant*..... 50
3.4.6 Validasi Silang HIL Penuh terhadap QSPICE 52

Pengembangan Model Real-Time Buck Converter pada FPGA untuk Pengujian Sistem Kendali Berbasis
Hardware-in-the-Loop (HIL)
Nathan Bennett Chang, Dr.-Ing. Ir. Yohan Fajar Sidik, S.T., M.Eng.; Dzuhri Radityo Utomo, S.T., M.S., Ph.D.
Universitas Gadjah Mada, 2026 | Diunduh dari http://etd.repository.ugm.ac.id/

BAB IV Hasil dan Pembahasan 55
4.1 Pengujian dan Validasi Performa Transien Kontroler *Cascaded* 55
4.1.1 Validasi Transien *Startup Cascade* terhadap QSPICE 57
4.1.2 Validasi Respons Transien Beban *Cascade* terhadap QSPICE 58
4.1.3 Karakterisasi Respons Transien *Cascade* terhadap Variasi Pembebanan 60
4.1.4 Karakterisasi Respons *Cascade* terhadap *Step Setpoint* 63
4.1.5 Validasi Respons *Loop* Arus dan Pemisahan Skala Waktu 65
4.2 Pengujian *Delay* Sistem HIL pada Kondisi *Open Loop* 67
4.2.1 Anggaran *Delay* Sistem HIL 67
4.2.2 Pengukuran *Delay* Eksperimental Menggunakan *Cycle Counter* DWT 67
4.2.3 Verifikasi Sistem pada Berbagai Frekuensi *Sampling* 69
4.2.4 Karakterisasi Frekuensi Resonansi *Plant* 70
4.2.5 Respons Step Beban pada Kondisi *Open Loop* 72
BAB V Kesimpulan dan Saran 74
5.1 Kesimpulan 74
5.2 Saran 75
DAFTAR PUSTAKA 77
LAMPIRAN L-1
L.1 Kode Program Kontroler STM32 (`main.c`) L-1
L.2 Kode Verilog Model *Plant* HIL pada FPGA L-13
L.2.1 Modul `buck_hil.v` L-13
L.2.2 Model *Plant* `buck_hil_plant.v` L-14
L.2.3 SPI Slave `spi_slave.v` L-15
L.3 Kode Verilog Model QSPICE (Validasi Silang) L-17
L.3.1 Varian *Open-Loop* (*duty* tetap) L-17
L.3.2 Varian *Cascade Closed-Loop* (replika *firmware*) L-18