UNIVERSITAS
GADJAH MADA
Perancangan dan Studi Komparatif Performa Pendekatan Desain Binary-Weighted, Thermometer-Coded, dan Segmented Current Steering Digital-to-Analog Converter (DAC) 4-Bit Berbasis Teknologi CMOS 45 nm
Satrya Adjie Rahardani, Ir. Prapto Nugroho, S.T., M.Eng., D.Eng., IPM.; Ir. Agus Bejo, S.T., M.Eng., D.Eng., IPM.
Universitas Gadjah Mada, 2026 | Diunduh dari http://etd.repository.ugm.ac.id/

Penelitian ini bertujuan untuk melakukan perancangan dan studi komparatif terhadap tiga pendekatan desain DAC *current-steering* yang dirancang dalam kondisi identik menggunakan *Cadence Design Systems* dan model GPDK 45 nm. *Current-steering Digital-to-Analog Converter* (DAC) banyak digunakan pada sistem *mixed-signal* berkecepatan tinggi, namun pemilihan pendekatan desain antara *binary-weighted*, *thermometer-coded*, dan *segmented* menghasilkan berbagai kompromi pada kualitas sinyal, efisiensi daya, dan ukuran. Kinerja *static linearity*, *settling time*, *glitch energy*, konsumsi daya, dan estimasi luas dievaluasi melalui simulasi skematik. DAC *thermometer-coded* menunjukkan linearitas terbaik dengan nilai maksimum |DNL| dan |INL| masing-masing sebesar 0,00288 LSB dan 0,00313 LSB. DAC *binary-weighted* menghasilkan konsumsi daya total terendah, yaitu 411,300 µW, serta luas area terkecil, yaitu 827,601 µm², namun memiliki *error* linearitas terbesar. DAC *segmented* memberikan hasil seimbang, dengan |DNL| maksimum sebesar 0,00553 LSB, |INL| maksimum sebesar 0,00465 LSB, konsumsi daya total sebesar 438,698 µW, dan luas area sebesar 836,156 µm². Hasil penelitian ini menegaskan *trade-off* antara ketiga pendekatan desain *current steering* DAC.

Kata kunci : current-steering DAC, CMOS 45 nm, binary-weighted DAC, thermometer-coded DAC, segmented DAC

UNIVERSITAS GADJAH MADA
Perancangan dan Studi Komparatif Performa Pendekatan Desain Binary-Weighted, Thermometer-Coded, dan Segmented Current Steering Digital-to-Analog Converter (DAC) 4-Bit Berbasis Teknologi CMOS 45 nm
Satrya Adjie Rahardani, Ir. Prapto Nugroho, S.T., M.Eng., D.Eng., IPM.; Ir. Agus Bejo, S.T., M.Eng., D.Eng., IPM.
Universitas Gadjah Mada, 2026 | Diunduh dari http://etd.repository.ugm.ac.id/

This paper proposes design steps and comparative study of Three current-steering DAC architectures that were designed under identical conditions using Cadence Design Systems and GPDK 45 nm models. Current-steering digital-to-analog converters (DACs) are commonly used in high-speed mixed-signal systems, but the architectural choice between binary-weighted, thermometer-coded, and segmented implementations introduces different trade-offs in signal quality, power efficiency, and estimated dimension. Static linearity, settling time, glitch energy, power consumption, and transistor-area estimates were evaluated from schematic simulations. The thermometer-coded DAC achieved the best static linearity, with maximum |DNL| and |INL| values of 0.00288 LSB and 0.00313 LSB. The binary-weighted DAC provided the lowest total power, 411.300 μW, and the smallest area, 827.601 μm^2, but showed the largest linearity error. The segmented DAC offered a balanced result, with 0.00553 LSB maximum |DNL|, 0.00465 LSB maximum |INL|, 438.698 μW total power, and 836.156 μm^2 area. These results confirm the hypothesized trade-offs of each current-steering DAC design architectures.

Keywords : current-steering DAC, CMOS 45 nm, binary-weighted DAC, thermometer-coded DAC, segmented DAC