UNIVERSITAS
GADJAH MADA
**Kendali Motor DC dengan Metode Model Predictive Control (MPC) pada Field Programmable Gate Array
(FPGA)**
Aulia Rasyid Pratama, Prof. Dr. Ir. Jazi Eko Istiyanto, M.Sc.; Dr. Andi Dharmawan, S.Si., M.Cs.
Universitas Gadjah Mada, 2026 | Diunduh dari http://etd.repository.ugm.ac.id/

INTISARI

KENDALI MOTOR DC DENGAN METODE *MODEL PREDICTIVE CONTROL* (MPC) PADA *FIELD PROGRAMMABLE GATE ARRAY* (FPGA)

Oleh

Aulia Rasyid Pratama

24/546937/PPA/06863

MPC menawarkan keunggulan dalam mengendalikan sistem dinamis dengan memprediksi perilaku dimasa depan berdasarkan model matematika sistem dengan tetap memperhatikan batasan yang ada. Namun, semakin kompleks model, semakin besar beban komputasi yang diperlukan. Hal ini menjadi tantangan bagi *low-end* FPGA yang memiliki sumber daya terbatas, dan penelitian mengenai implementasi MPC yang efisien pada platform tersebut masih relatif sedikit. Penelitian ini bertujuan untuk mengisi kesenjangan tersebut dengan menunjukkan implementasi MPC yang disederhanakan namun tetap mampu mempertahankan performa *real-time* dan kendali yang memadai, meskipun dijalankan pada *low-end* FPGA (Lattice iCE40HX1K). Beberapa strategi optimasi yang diterapkan meliputi penyederhanaan struktur MPC menggunakan representasi *fixed-point* 16 bit (Q13.3), pemindahan perhitungan koefisien model ke luar FPGA, penulisan ulang operasi pembagian menjadi operasi perkalian yang ekuivalen, meminimalkan horizon prediksi ($N_p = 2$), serta penggunaan bobot penalti skalar tetap pada *cost function* untuk menghindari operasi perkalian matriks penuh. Arsitektur *pipelined* dirancang untuk memastikan waktu eksekusi yang deterministik. Sistem kendali kecepatan motor DC digunakan sebagai *proof-of-concept* dan diuji terhadap gangguan *false-edge* (2 kHz, 5 kHz, dan 10 kHz). Hasil penelitian menunjukkan bahwa MPC yang dirancang mampu beroperasi dalam batasan logika dan memori yang terbatas pada FPGA Lattice iCE40HX1K, memanfaatkan 99% sel logika yang tersedia. Desain ini juga memenuhi kebutuhan *real-time* dengan waktu komputasi 1,83 µs serta mampu mempertahankan performa kendali yang stabil dengan *steady state error* dibawah 2%. Meskipun demikian, keterbatasan presisi *fixed-point*, horizon prediksi yang pendek, serta model gangguan EMI yang disederhanakan dapat mengurangi ketahanan sistem terhadap gangguan yang lebih kompleks. Secara keseluruhan, kontribusi utama penelitian ini adalah pengembangan MPC yang efisien sumber daya yang dirancang khusus untuk *low-end* FPGA, sehingga memperluas aksesbilitas MPC diluar platform *mid-end* hingga *high-end*.

Kata kunci: *Low-end* FPGA, efisiensi sumber daya, *model predictive control*, optimasi ADMM, kendali kecepatan motor DC.

UNIVERSITAS
GADJAH MADA
**Kendali Motor DC dengan Metode Model Predictive Control (MPC) pada Field Programmable Gate Array
(FPGA)**
Aulia Rasyid Pratama, Prof. Dr. Ir. Jazi Eko Istiyanto, M.Sc.; Dr. Andi Dharmawan, S.Si., M.Cs.
Universitas Gadjah Mada, 2026 | Diunduh dari http://etd.repository.ugm.ac.id/

ABSTRACT

DC MOTOR CONTROL WITH MODEL PREDICTIVE CONTROL (MPC) METHOD ON FIELD PROGRAMMABLE GATE ARRAY (FPGA)

By

Aulia Rasyid Pratama

24/546937/PPA/06863

MPC offers advantages in controlling dynamic systems by predicting future behavior based on mathematical models while respecting system constraints. However, increasing model complexity raises the computational burden, which becomes a challenge for low-end FPGAs with limited resources and studies on efficient MPC realization for such platforms remain limited. This study addresses that gap by demonstrating a simplified MPC implementation that maintains real-time performance and acceptable control accuracy while operating within the tight resource constraints of a low-end FPGA (Lattice iCE40HX1K). Several optimization strategies are applied, including simplifying the MPC structure using a 16-bit fixed-point representation (Q13.3), performing model coefficient precomputation outside the FPGA, replacing division operations with equivalent multiplications, minimizing the prediction horizon ($N_p = 2$), and employing fixed scalar penalty weights to avoid matrix operations. A fully pipelined architecture is designed to ensure deterministic execution timing. A DC motor speed control system is used as a proof-of-concept and tested under false-edge disturbances (2 kHz, 5 kHz, and 10 kHz). Results show that the design operates within the tight logic and memory constraints of the Lattice iCE40HX1K FPGA, utilizing 99% of available logic cells. The proposed design also meets real-time requirements with a computation time of 1.83 and is able to maintain stable control performance with a steady state error below 2%. Nevertheless, limited fixed-point precision, a short prediction horizon, and a simplified EMI noise model may reduce robustness under complex disturbances. Overall, the research contribution is the development of a resource-efficient MPC tailored for low-end FPGAs, broadening MPC accessibility beyond mid- to high-end platforms.

Keywords: Low-end FPGA, resource efficiency, model predictive control, ADMM optimization, DC motor speed control.