

## INTISARI

### IMPLEMENTASI ALGORITMA PENDETEKSI TEPI CANNY PADA FPGA

Oleh

Peni Laksmi Widati  
13/349569/PA/15518

Algoritma pendeteksi tepi Canny banyak dikembangkan untuk melakukan tahapan *pre-processing* pada proses segmentasi dan identifikasi objek. Namun, pengembangan algoritma Canny tersebut biasanya diimplementasikan pada level perangkat lunak. Meskipun pengembangan algoritma *Canny* pada perangkat lunak telah memberikan hasil yang cukup optimal dalam pendeteksian tepinya, algoritma *Canny* memiliki komputasi yang cukup kompleks sehingga waktu tunda menjadi tinggi. Oleh karena itu, untuk mengurangi tingginya waktu tunda pada implementasi algoritma *Canny*, banyak penelitian dilakukan, salah satunya adalah dengan menggunakan FPGA (*Field Programmable Gate Array*). FPGA bersifat *pipeline* sehingga dapat mengurangi waktu tunda pada algoritma *Canny* yang cukup rumit.

Penelitian dilakukan dengan menggunakan hardware FPGA Nexys 4 Artix-7 dari Xilinx. Pemrograman dilakukan dengan *model based design framework* yang ada pada MATLAB Simulink HDL Coder menggunakan sistem numerik *Fixed Point*. Implementasi menggunakan MATLAB 2016a sebagai simulator algoritma dan perangkat lunak Vivado 2017.2 sebagai *Integrated Development Environment* untuk melakukan sintesis dan implementasi pada FPGA. Simulasi dilakukan dengan menggunakan *FPGA-in-the-loop* yang terdapat pada Simulink.

Pengujian dilakukan dengan memvariasikan operator gradien dan resolusi citra. Berdasarkan nilai PSNR, MSE, dan sumber daya yang digunakan, algoritma Canny yang menggunakan operator gradien Roberts paling cocok diterapkan pada FPGA untuk komputasi yang ringan dan optimal. Hasil implementasi algoritma pendeteksi tepi Canny pada FPGA menunjukkan berkurangnya waktu komputasi hingga  $\pm 787$  detik untuk citra berukuran 1024x1024.

**Kata kunci:** Deteksi tepi Canny, *FPGA-in-the-loop*, HDL Coder, Simulink, *Model Based design*

## **ABSTRACT**

### **IMPLEMENTATION OF THE CANNY EDGE DETECTION ALGORITHM ON FPGA**

by

Peni Laksmi Widati  
13/349569/PA/15518

Canny edge detection algorithm is the most developed algorithm to do pre-processing on the process of segmentation and object identification. However, the development of the Canny algorithm is usually implemented at the software level. Although the Canny algorithm development on the software has given a pretty optimal results in the detection of edges, Canny algorithm has a complex algorithm so that computing time becomes high. Therefore, to reduce the high computing time on implementation of Canny edge detection algorithm, a lot of research are done, one of them is by using FPGA (Field Programmable Gate Array). FPGA are pipeline so it can reduce the computation time on the Canny algorithm.

Research carried out using hardware FPGA Nexys Artix 4-7 from Xilinx. Programming is done with the model based design framework on MATLAB Simulink HDL Coder using Fixed Point numerical system. Implementation are using MATLAB 2016a as design algorithms and simulators. Vivado 2017.2 is used as an Integrated Development Environment for synthesis and implementation on FPGA. The simulation performed using FPGA-in-the-loop in Simulink.

The system is tested by varying the gradient operators and the resolutions of the images. Based on PSNR, MSE, and the resources used, the Canny algorithm that uses a gradient operator Roberts best suited applied on FPGA for a light-weight and optimum computing. The result shows that Canny edge detection algorithm implementation on FPGA reduces the computation time about  $\pm 787$  seconds for the image size is  $1024 \times 1024$ .

**Keywords:** Canny Edge Detection, FPGA-in-the-loop, HDL Coder, Simulink, Model Based design.