

## ABSTRACT

### **Optimization of the Least Mean Square Algorithm on FPGA Lattice ICE40 HX1K**

By:

Rifda Hakima Sari

23/526109/PPA/06634

FPGA (Field-Programmable Gate Array) offers high flexibility and power efficiency, making it an excellent solution for signal processing applications. However, on devices with limited resources like the FPGA Lattice iCE40 HX1K, implementing complex algorithms such as the Least Mean Square (LMS) adaptive algorithm faces challenges with high resource usage, particularly in multiplication operations, which require optimization to address capacity limitations and improve overall system performance.

The research proposes the application of the LMS method based on an FIR filter for adaptive filtering, using the Vedic Multiplier for multiplication and the Manchester Carry Chain Adder (MCC) for addition to address computational efficiency issues on the FPGA Lattice iCE40 HX1K. The use of the Vedic Multiplier and MCC is expected to optimize the computational process, which generally requires many clock cycles, especially in the multiplication and addition operations within the LMS algorithm.

The results of the Least Mean Square algorithm implementation on the FPGA Lattice iCE40 HX1K using the Vedic Multiplier and Manchester Carry Chain Adder show high efficiency in resource utilization. With 62% of the available logic cells used, no internal RAM utilized, 26% IO block usage, and 37% global buffer usage, the design optimizes the limited hardware capacity. The use of 712 SB\_LUT, 15 SB\_DFFSR, 28 SB\_DFFESR, and 154 SB\_CARRY ensures a balance between performance and resource efficiency. The results indicate that the system can quickly adjust weights using a step size of  $1/19$  and four iterations, resulting in stable convergence with minimal error.

**Keywords: Least Mean Square, Adaptive Filter, FPGA**

## INTISARI

### **Optimalisasi Algoritma *Least Mean Square* pada FPGA Lattice iCE40 HX1K**

Oleh:

Rifda Hakima Sari

23/526109/PPA/06634

FPGA (*Field-Programmable Gate Array*) menawarkan fleksibilitas dan efisiensi daya yang tinggi, menjadikannya solusi unggul dalam aplikasi pemrosesan sinyal. Namun, pada perangkat dengan sumber daya terbatas seperti FPGA Lattice iCE40 HX1K, implementasi algoritma kompleks seperti *Least Mean Square* (LMS) adaptif menghadapi tantangan penggunaan sumber daya yang tinggi, terutama dalam operasi perkalian yang memerlukan optimasi untuk mengatasi keterbatasan kapasitas dan meningkatkan performa sistem secara keseluruhan.

Penelitian yang dilakukan mengusulkan penerapan metode LMS berbasis filter FIR untuk tapis adaptif, dengan penggunaan *Vedic Multiplier* untuk perkalian dan *Manchester Carry Chain Adder* (MCC) untuk penjumlahan guna mengatasi permasalahan terkait efisiensi komputasi pada FPGA Lattice iCE40 HX1K. Penggunaan *Vedic Multiplier* dan MCC diharapkan dapat mengoptimalkan proses perhitungan yang umumnya memerlukan banyak siklus clock, terutama pada operasi perkalian dan penjumlahan dalam algoritma LMS.

Hasil penelitian algoritma *Least Mean Square* pada FPGA Lattice iCE40 HX1K menggunakan *Vedic* dan *Manchester Carry Chain Adder* menunjukkan efisiensi tinggi dalam pemanfaatan sumber daya logika. Dengan penggunaan 62% dari total logika sel yang tersedia, tanpa memanfaatkan RAM internal, serta pemanfaatan 26% IO blok dan 37% global buffer, desain ini mengoptimalkan kapasitas perangkat keras yang terbatas. Penggunaan 712 SB\_LUT, 15 SB\_DFFSR, 28 SB\_DFFESR, dan 154 SB\_CARRY memastikan keseimbangan antara performa dan efisiensi sumber daya. Hasil penelitian menunjukkan bahwa sistem mampu menyesuaikan bobot dengan cepat menggunakan step size 1/19 dan iterasi sebanyak empat kali, menghasilkan konvergensi stabil dengan error minimum.

**Kata Kunci:** *Least Mean Square*, Tapis Adaptif, FPGA