

INTISARI

PERANCANGAN ARSITEKTUR KONVOLUSI MATRIKS 3X3 UNTUK PENINGKATAN DETAIL CITRA PADA PEMROSESAN VIDEO *REAL-TIME*

Adin Radityatama

21/481437/SV/19785

Pemrosesan citra digital dalam ranah video *real-time* menuntut kinerja komputasi paralel yang tinggi untuk meminimalkan latensi. Penelitian ini bertujuan untuk merancang dan mengimplementasikan arsitektur perangkat keras untuk operasi konvolusi matriks 3x3 pada platform FPGA Altera Cyclone IV EP4CE6F17C8, dengan fokus khusus pada aplikasi peningkatan detail citra. Desain dikembangkan menggunakan Verilog HDL dengan metode *line buffer* dan *sliding window* yang memungkinkan pemrosesan paralel minim latensi tanpa memerlukan penyimpanan satu *frame* utuh. Modul arsitektur diintegrasikan ke dalam sistem video dengan masukan kamera OV7670 dan keluaran VGA. Hasil sintesis menunjukkan arsitektur beroperasi stabil dengan margin frekuensi yang memadai untuk kebutuhan *real-time*. Implementasi terbukti efisien pada penggunaan elemen logika dengan penambahan hanya 257 unit, namun memerlukan alokasi memori internal sebesar 20.576 bit. Evaluasi kinerja citra dilakukan melalui analisis visual dan kuantitatif menggunakan metode *Laplacian Variance*. Hasil pengujian pada berbagai variasi objek menunjukkan bahwa arsitektur konvolusi mampu meningkatkan ketajaman tepian secara signifikan, dengan kenaikan nilai ketajaman berkisar antara 43,78% hingga 396,37%. Namun, peningkatan detail yang agresif ini juga berdampak pada amplifikasi *noise* visual, terutama pada kondisi pencahayaan rendah.

Kata kunci : Visi Komputer, FPGA, Arsitektur Konvolusi, Peningkatan Detail, Video *Real-time*

ABSTRACT

DESIGN OF 3X3 MATRIX CONVOLUTION ARCHITECTURE FOR IMAGE DETAIL ENHANCEMENT IN REAL-TIME VIDEO PROCESSING

Adin Radityatama

21/481437/SV/19785

Digital image processing in the realm of real-time video demands high parallel computing performance to minimize latency. This study aims to design and implement a hardware architecture for 3x3 matrix convolution operations on the Altera Cyclone IV EP4CE6F17C8 FPGA platform, with a specific focus on image detail enhancement applications. The design was developed using Verilog HDL utilizing line buffer and sliding window methods, which enable low-latency parallel processing without requiring a full-frame buffer. The architecture module is integrated into a video system with OV7670 camera input and VGA output. Synthesis results indicate that the architecture operates stably with an adequate frequency margin for real-time requirements. The implementation proves efficient in logic element usage with an increase of only 257 units, but requires an internal memory allocation of 20,576 bits. Image performance evaluation was conducted through visual and quantitative analysis using the Laplacian Variance method. Test results on various object variations show that the convolution architecture is capable of significantly enhancing edge sharpness, with sharpness value increases ranging from 43.78% to 396.37%. However, this aggressive detail enhancement also results in visual noise amplification, particularly in low-light conditions.

Keyword: Computer Vision, FPGA, Convolution Architecture, Detail Enhancement, Real-time Video