

DAFTAR ISI

HALAMAN PENGESAHAN.....	ii
PERNYATAAN.....	iii
KATA PENGANTAR	iv
DAFTAR ISI.....	vi
DAFTAR GAMBAR	ix
DAFTAR TABEL.....	xi
INTISARI.....	xii
<i>ABSTRACT</i>	xiii
BAB I PENDAHULUAN	1
1.1 Latar Belakang	1
1.2 Rumusan Masalah	2
1.3 Batasan Masalah.....	3
1.4 Tujuan Penelitian	3
1.5 Manfaat Penelitian	3
1.6 Metodologi Penelitian	4
1.7 Sistematika Penulisan	5
BAB II TINJAUAN PUSTAKA.....	7
2.1 Penelitian Terdahulu	7
2.2 <i>Artificial Neural Network</i> (ANN).	13
2.2.1 Bobot dan Bias	14
2.2.2 Pelatihan Model ANN.....	16
2.3 <i>Field Programmable Gate Array</i> (FPGA) dan <i>Systolic Array</i>	17
2.3.1 <i>Field Programmable Gate Array</i> (FPGA).....	17
2.3.2 <i>Systolic Array</i>	19
BAB III METODOLOGI PENELITIAN.....	21
3.1 Analisis Sistem.....	21
3.2 Alat dan Bahan.....	21
3.3 Perancangan Sistem	23
3.4 Arsitektur Sistem.....	24
3.4.1 Desain Model ANN.....	24
3.4.2 Desain Akselerator	27
3.5 Pengujian Sistem.....	32
3.5.1 Pengujian Fungsional.	32
3.5.2 Analisis Sumber Daya, Konsumsi Daya, dan <i>Timing</i>	32

3.5.3 Pengujian Kinerja.....	33
BAB IV IMPLEMENTASI SISTEM	34
4.1 Perancangan Arsitektur dan Model ANN	34
4.1.1 Dataset.....	34
4.1.2 Arsitektur ANN.....	34
4.1.3 Pembuatan Model ANN.....	35
4.2 Perancangan Arsitektur <i>Hardware</i>	40
4.2.1 <i>Modul Processing Element (PE)</i>	40
4.2.2 <i>Modul Register</i>	41
4.2.3 <i>Modul Systolic Array</i>	42
4.2.4 <i>Modul Sigmoid</i>	42
4.2.5 Modul ANN	43
4.2.6 Modul AXIS ANN	44
4.3 Perancangan SoC (<i>System on Chip</i>).....	45
4.4 Eksekusi Akselerator ANN	46
4.4.1 <i>Load Bitstream</i> dan Alokasi <i>Buffer</i>	46
4.4.2 Fungsi Bantu	46
4.4.3 Pengisian <i>Buffer</i> Bobot dan <i>Input</i>	47
4.4.4 Proses DMA Transfer dan Pengukuran Waktu.....	47
4.4.5 <i>Print Output Buffer</i>	48
4.4.6 Membaca <i>Output</i> dan Mengubah nilai ke <i>float</i>	48
BAB V HASIL DAN PEMBAHASAN.....	49
5.1 Hasil Model ANN	49
5.1.1 Struktur <i>Dataset</i>	49
5.1.2 Hasil Pelatihan Model ANN	49
5.1.3 Akurasi <i>Training</i> dan <i>Testing</i>	50
5.1.4 <i>Confusion Matrix</i>	51
5.1.5 Bobot dan Bias Akhir Model	51
5.1.6 Pengujian Data Uji Baru	53
5.2 Verifikasi Desain Akselerator	54
5.2.1 Verifikasi PE	55
5.2.2 Verifikasi Register	55
5.2.3 Verifikasi <i>Systolic Array 6x6</i>	56
5.2.4 Verifikasi ANN <i>Core</i>	57
5.2.5 Verifikasi AXIS ANN.....	58
5.3 Hasil Sintesis dan Implementasi Desain SoC	58

5.3.1 Hasil Sintesis Desain SoC.....	58
5.3.2 Hasil Implementasi Desain SoC.....	61
5.4 Hasil Eksekusi Akselerator ANN pada FPGA.....	63
5.4.1 Verifikasi <i>Input</i> dan <i>Output Buffer</i>	63
5.4.2 Perbandingan <i>Runtime</i> Inferensi pada CPU (python) dan Akselerator ANN	65
BAB VI PENUTUP	69
6.1 Kesimpulan	69
6.2 Saran.....	69
DAFTAR PUSTAKA	71
LAMPIRAN.....	75