

DAFTAR ISI

HALAMAN JUDUL	i
HALAMAN PENGESAHAN TIM PEMBIMBING	ii
HALAMAN PENGESAHAN TIM PENGUJI.....	iii
PERNYATAAN BEBAS PLAGIASI	iv
PRAKATA.....	v
DAFTAR ISI.....	vii
DAFTAR TABEL.....	x
DAFTAR GAMBAR.....	xi
ABSTRAK.....	xv
ABSTRACT.....	xvi
BAB I.....	1
PENDAHULUAN	1
1.1 Latar Belakang.....	1
1.2 Rumusan Masalah.....	3
1.3 Batasan Penelitian.....	4
1.4 Tujuan Penelitian	4
1.5 Keaslian dan Kontribusi Penelitian.....	5
1.6 Manfaat Penelitian	7
1.7 Sistematika Penulisan	8
BAB II.....	9
TINJAUAN PUSTAKA DAN LANDASAN TEORI.....	9
2.1 Tinjauan Pustaka.....	9
2.1.1 Tinjauan Pustaka Teknologi FPGA Dalam Satelit	9
2.1.2 Tinjauan Pustaka Teknologi LVDS dalam Transmisi Data.....	10
2.1.3 Tinjauan Pustaka Sistem Penerima Data Kamera Satelit	11
2.1.4 Tinjauan Pustaka Payload Data Handling System (PDHS).....	12
2.2 Landasan Teori	13
2.2.1 Teknologi FPGA.....	13
2.2.2 Teknologi LVDS.....	15
2.2.3 Teknologi Small Satellite.....	17
2.2.3.1 Muatan Satelit LAPAN-A4	18
2.2.3.2 Karakteristik Pushbroom Kamera.....	20

2.2.3.3	Perhitungan Resolusi Spasial dan Lebar Sapuan Kamera	21
2.2.3.4	Perhitungan Durasi Frame dan Laju Data.....	23
2.3	Pertanyaan Penelitian.....	26
2.4	Kerangka Pemikiran	27
2.5	Hipotesis	29
BAB III		30
METODE PENELITIAN		30
3.1	Pendahuluan.....	30
3.2	Alat dan Bahan.....	30
3.2.1	Alat Penelitian.....	31
3.2.2	Bahan	34
3.3	Spesifikasi Sistem Kamera MRI LAPAN-A4	34
3.4	Tahapan Penelitian.....	36
3.5	Desain Arsitektur Subsistem Penerima Data	39
3.5.1	Arsitektur Sistem Satelit secara Keseluruhan	40
3.5.1.1	Rantai Akuisisi, Pemrosesan, dan Downlink.....	40
3.5.1.2	Peran dan Fungsi Subsistem Penerima Data Berbasis FPGA–LVDS	44
3.5.1.3	Mekanisme Operasional Subsistem Penerima Data	45
3.5.1.4	Analisis Kinerja Sistem Terdahulu	46
3.5.1.5	Perbandingan Arsitektur Penerima Data Kamera.....	47
3.5.1.6	Perbandingan Arsitektur Sistem Penerima Data LAPAN-A3/IPB dan LAPAN-A4.....	49
3.5.1.7	Analisis Pengaruh Arsitektur Single-Bank dan Dual-Bank terhadap Laju Data	50
3.5.2	Arsitektur Sistem Penerima Data.....	51
3.5.2.1	LVDS Input Circuit	53
3.5.2.2	FPGA Data Processing	55
3.5.2.3	LVDS Output Circuit.....	68
3.6	Implementasi FPGA	69
3.7	Prosedur Pengujian	77
3.8	Justifikasi Metode	78
3.9	Kendala dan Solusi	79
3.10	Hasil dan Pembahasan	80
BAB IV HASIL DAN PEMBAHASAN.....		81
4.1	Analisis Waktu (Timing Analysis)	81
4.1.1	Definisi Parameter Waktu.....	84

4.1.2	Hasil Pengukuran Waktu	85
4.2	Validasi Performance Sistem FPGA-LVDS	86
4.2.1	Input dan Output Top-Level Sistem	87
4.2.2	Deteksi Sinkronisasi Frame (SYNC1/SYNC2)	89
4.2.3	Deteksi Penanda Akhir Baris (387Fh/3880h)	91
4.2.4	Ringkasan Sinyal Kontrol Utama	93
4.3	Analisis Stabilitas Clock	96
4.4	Analisis Waktu Frame dan Laju Data	98
4.5	Pengujian Tes Fungsional kamera MRI	101
4.5.1	Analisis Konsumsi Daya Subsistem Penerima FPGA–LVDS	105
4.6	Analisis Komparatif dengan Penelitian Sebelumnya	106
4.7	Diskusi dan Implikasi	107
4.7.1	Penyebab Keterbatasan Laju Data Sistem Sebelumnya	108
4.7.2	Solusi Teknis untuk Meningkatkan Laju Data	109
4.7.3	Evaluasi Hipotesis	110
4.7.4	Temuan Tak Terduga dan Kelemahan Metode	110
4.7.5	Implikasi terhadap Kebutuhan Misi	112
4.7.6	Kontribusi dan Rekomendasi	113
4.8	Simpulan Sementara	113
BAB V	115
KESIMPULAN DAN SARAN	115
5.1	Kesimpulan	115
5.2	Saran	115
DAFTAR PUSTAKA	117
LAMPIRAN	122

DAFTAR TABEL

Tabel 1.1 Keaslian Penelitian.....	6
Tabel 2.1 Perbandingan Pemanfaatan FPGA.....	14
Tabel 2.2 Perbandingan Pemanfaatan LVDS.....	16
Tabel 2.3 Spesifikasi Muatan Optik Satelit LAPAN-A4 [49].....	18
Tabel 2.4 Spesifikasi Kamera MRI Satelit LAPAN-A4 [13], [14].....	19
Tabel 3.1 Kapabilitas DE0-Nano dan Kontribusinya terhadap Laju Data.....	31
Tabel 3.2 Parameter Kamera MRI LAPAN-A4 pada Ketinggian 500 km [13], [14], [43].....	35
Tabel 3.3 Perbandingan PDHS LAPAN-A3/IPB (HDRM) vs FPGA–LVDS (Penelitian Ini)	49
Tabel 3.4 <i>Wiring Map</i> IIM0 (Merah + NIR).....	54
Tabel 3.5 <i>Wiring Map</i> IIM1 (Biru + Hijau)	54
Tabel 3.6 Ringkasan I/O & Rute Sinyal Modul PLL.....	57
Tabel 3.7 Ringkasan I/O & Rute Sinyal Modul PhaseAlignment	58
Tabel 3.8 Ringkasan I/O & Rute Sinyal Deteksi Pola – <i>CompHalf</i> (IIM0 & IIM1)	60
Tabel 3.9 Pemetaan I/O SIPO_OddEven (IIM0 & IIM1).....	62
Tabel 3.10 Peta I/O Modul Camlink	65
Tabel 3.11 Simulasi Transisi <i>State</i> Multiplexing Camlink untuk Satu Piksel	67
Tabel 3.12 Pemetaan Sinyal Camlink FPGA ke DS90CR287 dan Konektor MDR-26 (<i>Base Configuration</i>).....	68
Tabel 3.13 Ringkasan Implementasi FPGA (Cyclone IV E – EP4CE22F17C6).....	74
Tabel 4.1 Parameter Waktu Kamera MRI LAPAN-A4 pada 500 km.....	85
Tabel 4.2 Parameter <i>Signal Validation</i>	94
Tabel 4.3 Ringkasan Parameter Hasil Pengukuran dan Evaluasi Sistem.....	99
Tabel 4.4 Parameter Pengujian Fungsional MRI	101
Tabel 4.5 Estimasi Konsumsi Daya Subsistem Penerima FPGA–LVDS	105
Tabel 4.6 Perbandingan dengan Penelitian Terdahulu	107
Tabel 4.7 Perbandingan dengan Spesifikasi Desain MRI LAPAN-A4.....	112

DAFTAR GAMBAR

Gambar 2.1 Arsitektur FPGA [37]	14
Gambar 2.2 Arsitektur LVDS <i>point to point</i> [41]	16
Gambar 2.3 Ilustrasi Satelit Mikro [44]	17
Gambar 2.4 Muatan Satelit LAPAN-A4 [13]	20
Gambar 2.5 Akuisisi citra dengan sensor <i>pushbroom</i> [48]	20
Gambar 2.6 Definisi <i>ground sample distance</i> [51]	21
Gambar 2.7 Ilustrasi Lebar Sapuan Satelit [50]	21
Gambar 2.8 Kerangka Pemikiran Penelitian	28
Gambar 3.1 <i>Timing Diagram</i> Proses Pencitraan MRI pada Ketinggian 500 km	36
Gambar 3.2 Diagram Alir Penelitian	37
Gambar 3.3 Arsitektur sistem satelit LAPAN-A4 dan subsistem penerima data kamera berbasis FPGA–LVDS (<i>overview</i>)	41
Gambar 3.4 Diagram waktu frame kamera MRI	42
Gambar 3.5 Detail arsitektur FPGA–LVDS pada subsistem penerima data kamera LAPAN-A4	43
Gambar 3.6 Perbandingan arsitektur penerima data kamera: studi terdahulu dan penelitian ini (MRI LAPAN-A4).	48
Gambar 3.7 Evolusi Arsitektur Sistem Penerima Data Kamera	50
Gambar 3.8 Blok Sistem Penerima Data Berbasis FPGA dan Antarmuka LVDS	52
Gambar 3.9 Hirarki Modul FPGA Penerima Data	55
Gambar 3.10 Rangkaian altpll per bank	56
Gambar 3.11 Rangkaian PhaseAlignment per bank	57
Gambar 3.12 Rangkaian CompHalf0 per bank	59
Gambar 3.13 Rangkaian SIPO_OddEven per bank	62
Gambar 3.14 Rangkaian Camlink	64
Gambar 3.15 Desain RTL Sistem Penerima Data Berbasis FPGA	76
Gambar 3.16 Alur Pengujian Sistem	77
Gambar 4.1 Timing sinyal <i>TRIGGER–START–END</i> pada satu frame	82
Gambar 4.2 Histogram parameter timing lintas frame	83
Gambar 4.3a Hasil <i>Signal Tap Logic Analyzer</i> deteksi sinkronisasi frame (SYNC1/0000h) dari kondisi idle (SYNC2/3FFFh).	90
Gambar 4.4 Hasil <i>Signal Tap Logic Analyzer</i> – Deteksi Pola Penanda Akhir Baris (387Fh /14463 dan 3880h /14464)	92
Gambar 4.5 Ringkasan sinyal utama hasil Observasi <i>Signal Tap</i> , Deteksi Pola Sinkronisasi dan Akhir Baris	93
Gambar 4.6 Pengukuran Frekuensi dan <i>Clock</i> Sistem Penerima Data FPGA-LVDS	97
Gambar 4.7 Ringkasan Pengukuran Sinyal <i>Clock</i> Sistem Penerima Data FPGA-LVDS	97
Gambar 4.8 Pengukuran Osiloskop Sinyal Frame Aktif Sistem Penerima Data	



FPGA-LVDS.....	100
Gambar 4.9 Ringkasan Pengukuran Osiloskop Parameter Sinyal Frame Aktif	
Sistem Penerima Data FPGA-LVDS	100
Gambar 4.10 Pengujian kamera MRI dengan Sistem Penerima Data FPGA-LVDS....	102
Gambar 4.11 Hasil <i>Signal Tap Logic Analyzer</i> Pengujian Fungsional MRI.....	104