

ABSTRAK

Pengembangan satelit kecil untuk misi penginderaan jauh merupakan langkah strategis untuk mendukung pemantauan lingkungan dan mitigasi bencana di wilayah Indonesia yang rawan terhadap kejadian alam ekstrem. Salah satu tantangan utama misi penginderaan jauh menggunakan satelit kecil adalah kebutuhan transmisi data berkecepatan tinggi secara *real-time*, khususnya untuk mendukung kamera satelit multispektral yang memakai beberapa kanal secara bersamaan. Teknologi antarmuka LVDS saat ini belum mampu mendukung laju data lebih dari 150 Mbps yang diperlukan untuk kamera multispektral satelit LAPAN-A4.

Penelitian ini mengidentifikasi keterbatasan bahwa sistem yang ada saat ini belum mampu menangani laju data kamera multikanal yang lebih dari 150 Mbps. Sistem tersebut juga belum mengintegrasikan sinkronisasi presisi untuk data multispektral kamera *Medium Resolution Imager* (MRI) pada ketinggian orbit 500 km, sesuai spesifikasi kamera LAPAN-A4. Untuk menjawab tantangan tersebut, dikembangkan sistem penerima data berbasis FPGA–LVDS dengan arsitektur paralel *dua-bank* yang dirancang untuk mengatasi keterbatasan desain antarmuka berkecepatan tinggi pada sistem eksisting di tingkat penelitian maupun implementasi satelit operasional. Arsitektur ini menggunakan modul *SIPO_OddEven* untuk pemrosesan paralel data dari dua kanal spektral, modul *CompHalf* untuk deteksi pola SYNC1 (0000h) dan SYNC2 (3FFFh) untuk validasi frame, serta modul *PhaseAlignment* untuk sinkronisasi presisi dengan clock 66 MHz, memungkinkan laju data di atas 150 Mbps dengan keandalan tinggi.

Desain divalidasi pada perangkat keras FPGA Cyclone IV E melalui serangkaian pengujian di lingkungan laboratorium menggunakan *Signal Tap Logic Analyzer* untuk memverifikasi integritas sinyal dan ketepatan waktu secara presisi, dengan mensimulasikan karakteristik data kamera MRI pada ketinggian orbit 500 km. Hasil pengujian menunjukkan laju data sebesar 178,282 Mbps, dengan potensi kecepatan yang dapat ditingkatkan hingga 184,8 Mbps berdasarkan estimasi *frame rate* 455,027 Hz. Kecepatan ini dioptimalkan untuk mendukung pemrosesan *real-time* kamera MRI LAPAN-A4. Stabilitas *clock* mencapai deviasi rata-rata 0,24% (66,12 MHz) berdasarkan pengukuran osiloskop dari frekuensi target 66 MHz dengan sinkronisasi frame berlangsung dalam 2,191 ms dari target 2,271 ms.

Sistem yang dikembangkan terbukti efektif dalam mengatasi keterbatasan sistem yang ada saat ini dan berpotensi digunakan pada teknologi satelit kecil generasi mendatang. Hal ini berimplikasi pada dukungan pemetaan pascabencana dan pengambilan keputusan berbasis data secara *real-time*, sejalan dengan arah kemandirian teknologi satelit nasional.

Kata kunci: FPGA, LVDS, kamera satelit, sinkronisasi data, laju data tinggi.

ABSTRACT

The development of small satellites for Earth observation missions is a strategic step to support environmental monitoring and disaster mitigation in Indonesia, a region highly prone to natural hazards. One of the main challenges in small satellite missions is achieving high-speed, real-time data transmission, particularly for multispectral satellite cameras operating across multiple channels simultaneously. The current LVDS interface technology has not yet supported data rates exceeding 150 Mbps, which are required by the multispectral camera of the LAPAN-A4 satellite.

This study identifies a key limitation in existing systems: their inability to handle multichannel camera data rates above 150 Mbps and to provide precise synchronization for the multispectral data stream of the Medium Resolution Imager (MRI) at an orbital altitude of 500 km, as specified for LAPAN-A4. To address these challenges, a dual-bank parallel FPGA–LVDS–based data receiver system was developed to overcome the bandwidth limitations of existing high-speed interface designs at both the research and operational satellite levels. The proposed architecture integrates the SIPO_OddEven module for parallel processing of two spectral channels, the CompHalf module for frame validation through SYNC1 (0000h) and SYNC2 (3FFFh) pattern detection, and the PhaseAlignment module for precise synchronization under a 66 MHz clock. This architecture enables reliable data acquisition at rates exceeding 150 Mbps.

The design was validated on Cyclone IV E FPGA hardware through a series of laboratory experiments using the Signal Tap Logic Analyzer to verify signal integrity and timing precision. The tests simulated MRI camera data characteristics at a 500 km orbital altitude. The experimental results demonstrated a data throughput of 178.282 Mbps, with a potential increase to 184.8 Mbps based on an estimated frame rate of 455.027 Hz. Clock stability was confirmed with an average deviation of 0.24% (66.12 MHz) from the nominal 66 MHz reference, and frame synchronization was achieved within 2.191 ms of the 2.271 ms target period.

The developed system effectively addresses the limitations of existing architectures and offers strong potential for implementation in next-generation small satellite technology. Its application will enhance post-disaster mapping and real-time, data-driven decision-making capabilities, in alignment with Indonesia's roadmap toward satellite technology independence.

Keywords: FPGA, LVDS, satellite camera, data reception, high data rate