

Dalam pengembangan *System-on-Chip* (SoC), komunikasi antar komponen sering kali menggunakan protokol bus seperti AMBA, Avalon, dan Wishbone. Di antara standar tersebut, AXI4 dari AMBA menjadi salah satu yang paling banyak digunakan, khususnya varian AXI4-Lite yang ditujukan untuk aplikasi *embedded* dengan kebutuhan konsumsi daya rendah dan area chip yang minimal. Namun, perancangan modul interkoneksi AXI4-Lite umumnya masih dilakukan secara manual dan spesifik terhadap jumlah *master* dan *slave*, sehingga memakan waktu, rawan kesalahan, dan sulit digunakan ulang. Oleh karena itu, penelitian ini bertujuan untuk merancang dan mengimplementasikan sebuah *framework* AXI4-Lite berbasis Verilog HDL yang bersifat modular, fleksibel, dan siap pakai. *Framework* ini dilengkapi sistem konfigurasi otomatis untuk membangun koneksi AXI-Lite yang disesuaikan dengan kebutuhan arsitektur SoC.

Sebagai studi kasus, dirancang juga sebuah arsitektur SoC sederhana yang terdiri dari prosesor RISC-V 32-bit, AXI4-Lite *interconnect* (1 *master*, 2 *slave*), serta periferal ROM, RAM, dan digital I/O. Desain ini dievaluasi melalui simulasi fungsional dan sintesis RTL menggunakan Xilinx Vivado pada *board* FPGA Basys 3. Hasil menunjukkan bahwa desain tersebut menghasilkan konsumsi daya *Total on-Chip Power* sebesar 0,930 W, utilisasi 3.863 dari 33.280 slice LUT (8,6%), *Junction Temperature* sebesar 29,6°C, dan *Thermal Margin* sebesar 70,4°C pada estimasi daya maksimum 14,0 W. Berdasarkan hasil tersebut, *framework* yang dikembangkan terbukti fungsional, efisien, serta layak digunakan dalam pengembangan SoC berbasis AXI4-Lite.

**Kata Kunci:** AXI4-Lite *Bus System*, RISC-V *Processor*, *System-on-Chip*, FPGA

## ABSTRACT

*In System-on-Chip (SoC) development, communication between components commonly relies on bus protocols such as AMBA, Avalon, and Wishbone. Among these standards, AMBA AXI4 has become one of the most widely adopted, particularly the AXI4-Lite variant, which is optimized for embedded applications that require low power consumption and minimal chip area. However, designing AXI4-Lite interconnect modules is often done manually and tailored to specific master-slave configurations, resulting in time-consuming processes that are error-prone and difficult to reuse. To address this challenge, this research aims to design and implement a modular, flexible, and ready-to-use AXI4-Lite communication framework based on Verilog HDL. The proposed framework includes an automatic configuration system to generate AXI-Lite connections according to the target SoC architecture.*

*As a case study, a simple SoC architecture was designed, consisting of a 32-bit RISC-V processor, an AXI4-Lite interconnect (1 master, 2 slaves), and peripherals including ROM, RAM, and digital I/O. The design was evaluated through functional simulation and RTL synthesis using Xilinx Vivado on the Basys 3 FPGA board. The results show that the design achieves a total on-chip power consumption of 0.930 W, utilization of 3,863 out of 33,280 slice LUTs (8.6%), a junction temperature of 29.6°C, and a thermal margin of 70.4°C under an estimated maximum power of 14.0 W. These results demonstrate that the developed framework is functional, efficient, and suitable for SoC design based on the AXI4-Lite bus system.*

**Keywords :** AXI4-Lite Bus System, RISC-V Processor, System-on-Chip, FPGA