

HALAMAN PENGESAHAN	ii
PERNYATAAN BEBAS PLAGIASI	iii
HALAMAN PERSEMBAHAN	iv
KATA PENGANTAR	v
DAFTAR ISI	vi
DAFTAR TABEL	x
DAFTAR GAMBAR	xii
DAFTAR KODE	xiv
DAFTAR SINGKATAN.....	xvi
INTISARI.....	xvii
ABSTRACT	xviii
BAB I Pendahuluan	1
1.1 Latar Belakang	1
1.2 Rumusan Masalah	3
1.3 Tujuan Penelitian	3
1.4 Batasan Penelitian	3
1.5 Manfaat Penelitian	4
1.6 Sistematika Penulisan.....	4
BAB II Dasar Teori dan Tinjauan Pustaka	6
2.1 Dasar Teori	6
2.1.1 Arsitektur Komputer	6
2.1.2 Prosesor.....	7
2.1.3 <i>Instruction Set Architecture</i> (ISA).....	7
2.1.4 Arsitektur RISC-V	9
2.1.4.1 Instruksi Tipe R	10
2.1.4.2 Instruksi Tipe I	11
2.1.4.3 Instruksi Tipe S	13
2.1.4.4 Instruksi Tipe B	14
2.1.4.5 Instruksi Tipe U	15
2.1.4.6 Instruksi Tipe J	15
2.1.5 Sistem Bus.....	16
2.1.6 Protokol Komunikasi AXI4 AMBA.....	17
2.1.6.1 Arsitektur Dasar AMBA AXI4	19
2.1.6.2 Topologi <i>Channel</i> dan Sinyal AXI4	20
2.1.6.3 Karakteristik Transaksi Protokol AXI4.....	24

2.1.6.4	Mekasime <i>Handshake</i> dalam Proses Transaksi <i>read</i> dan <i>write</i> pada AXI4	26
2.1.7	AXI4-lite	27
2.1.8	FPGA Xilinx Digilent Basys 3	28
2.2	Tinjauan Pustaka	28
2.2.1	Penelitian Sebelumnya	28
2.2.2	Peran Arsitektur Bus dalam Kinerja Sistem Prosesor	31
2.2.3	Desain Fleksibel dan Skalabel pada Sistem Prosesor	31
2.2.4	Standar dan Spesifikasi	31
2.3	Analisis Perbandingan Metode	32
BAB III Metode Penelitian		33
3.1	Alat dan Bahan Tugas Akhir	33
3.1.1	Alat Tugas Akhir	33
3.1.2	Bahan Tugas Akhir	34
3.2	Fokus Penelitian	34
3.3	Metode yang Digunakan	34
3.4	Alur Tugas Akhir	35
BAB IV Perancangan <i>Framework</i> AXI4-Lite		38
4.1	Susunan Direktori Framework AXI4-Lite	38
4.2	Mekanisme Framework AXI4-Lite	39
4.3	Desain Modul AXI4-Lite <i>Master</i>	43
4.4	Desain AXI4-Lite <i>Slave</i>	47
4.5	Desain <i>Wrapper</i> AXI4-Lite <i>Master</i>	50
4.6	Desain <i>Wrapper</i> AXI4-Lite <i>Slave</i>	52
4.7	Desain AXI4-Lite <i>Interconnect</i>	55
4.7.1	Komponen <i>Master Arbitration</i>	56
4.7.2	Komponen <i>Address Decoder</i>	58
4.7.3	Pengaturan Jalur Data dan Kontrol	60
BAB V Desain Prosesor RISC-V RV32I dengan AXI4-Lite		63
5.1	Arsitektur Desain	63
5.2	<i>Top-Level Module</i>	64
5.3	Desain Prosesor RISC-V 32 bit	66
5.3.1	Desain <i>Register Files</i>	68
5.3.2	Desain ALU	69
5.3.2.1	Desain Instruksi Mux	70
5.3.2.2	Desain Instruksi Tipe R	71
5.3.2.3	Desain Instruksi Tipe I	71
5.3.2.4	Desain Instruksi Tipe S	73
5.3.2.5	Desain Instruksi Tipe B	74

5.3.2.6	Desain Instruksi Tipe U	75
5.3.2.7	Desain Instruksi Tipe J	76
5.4	Desain Memori	77
5.4.1	Desain Memori ROM	77
5.4.2	Desain Memori RAM	77
5.5	Integrasi Desain Prosesor RISC-V 32 bit dan Memori dengan Sistem Bus AXI4-Lite	78
BAB VI	Hasil dan Pembahasan	80
6.1	Pengujian <i>Framework</i> AXI4-Lite	80
6.2	Uji Implementasi Rancangan <i>Framework</i> AXI4-Lite pada FPGA Basys 3 Menggunakan Prosesor PicoRV32	83
6.2.1	Topologi Pengujian Sistem	84
6.2.2	Skema Pengujian	84
6.2.3	Prosedur Pengujian	85
6.2.4	Hasil Pengujian	85
6.2.5	Analisis Singkat	85
6.3	Simulasi Desain Prosesor RISC-V RV32I Berbasis AXI4-Lite	86
6.3.1	<i>Assembly Test Code 1: fib.s</i>	87
6.3.2	<i>Assembly Test Code 2: forward.s</i>	89
6.3.3	<i>Assembly Test Code 3: loaduse.s</i>	90
6.3.4	<i>Assembly Test Code 4: sum100.s</i>	92
6.3.5	<i>Assembly Test Code 5: branch.s</i>	93
6.3.6	Analisis Hasil Simulasi	95
6.4	Implementasi Desain Prosesor RISC-V RV32I Berbasis AXI4-Lite pada FPGA Basys 3	96
6.4.1	Skema Pengujian	96
6.4.2	<i>Test Code 1: blink_led.s</i>	97
6.4.3	<i>Test Code 2: shift_led.s</i>	98
6.4.4	<i>Test Code 3: switch_led.s</i>	99
6.5	Evaluasi dan Analisis	100
6.5.1	Perbandingan Desain	100
6.5.1.1	Kombinasi Desain PicoRV32 dengan AXI AMBA <i>Generator</i>	101
6.5.1.2	Kombinasi Desain PicoRV32 dengan AXI4-Lite <i>Framework</i>	103
6.5.1.3	Kombinasi Desain Prosesor RISC-V dengan AXI AMBA <i>Generator</i>	104
6.5.1.4	Kombinasi Desain Prosesor RISC-V dengan AXI4-Lite <i>Framework</i>	106

6.5.1.5	Analisis Hasil Evaluasi	108
6.5.2	Analisis Perbandingan dengan Penelitian Sebelumnya	109
BAB VII	Kesimpulan dan Saran	111
7.1	Kesimpulan	111
7.2	Saran	111
DAFTAR PUSTAKA		112