

INTISARI

AKUISISI DATA KECEPATAN TINGGI DENGAN IMPLEMENTASI PRESCALER UNTUK OPTIMASI BUFFER PADA FPGA ALTERA CYCLONE V

Haekal Adekey Janua

21/479416/SV/19500

Akuisisi data memiliki peran penting di dunia elektronik modern. Akuisisi data digunakan sebagai proses menangkap data dari sinyal analog kemudian diubah menjadi bentuk sinyal digital yang dapat dibaca dan disimpan oleh komputer. Salah satu media akuisisi data dengan kecepatan dan resolusi tinggi saat ini adalah FPGA. FPGA dipilih karena dapat mengakuisisi data secara paralel dalam beberapa *channel* serta dapat mengatur jumlah buffer dengan mengubah prescaler frekuensi sampling pada ADC. Tujuan dari penelitian ini adalah melakukan perbandingan implementasi prescaler dan optimasi pemrosesan sinyal pada level perangkat keras dan lunak, penelitian ini meliputi simulasi dan implementasi prescaler pada perangkat keras FPGA kemudian membandingkannya pada pemrosesan sinyal.

Penelitian ini membandingkan data pada 8 mode dengan simulasi dan implementasi dari rancangan prescaler pada FPGA. Implementasi dari Prescaler dilakukan pada level perangkat keras dengan melakukan implementasi pada FPGA dan pada level perangkat lunak dengan melakukan implementasi pada python untuk pemrosesan sinyal. Implementasi pada level perangkat keras dan perangkat lunak dibandingkan untuk mengetahui hubungan antara pengaturan prescaler pada ADC dengan jumlah buffer dan perbedaan kecepatan pemrosesan sinyal.

Implementasi dirancang menggunakan Verilog dan perangkat lunak Quartus prime dan Python. Penelitian ini menggunakan perangkat keras FPGA Altera Cyclone V SE dengan seri 5CSEMA4U23C6N. Top level design mampu mengatur prescaler dengan frekuensi maksimum sebesar 150 MHz serta membutuhkan 3% ALM (402 dari 15.880), 989 Register FF, 1% Memori Blok (33.792 dari 2.764.800), 1 % BRAM (4 dari 270), dan 20% PLL (1 dari 5). Optimasi pemrosesan sinyal melalui implementasi prescaler terbukti mampu meningkatkan kualitas sinyal, ditunjukkan dengan perolehan nilai SNR tertinggi sebesar 84,65 dB pada frekuensi sinyal 100 kHz dengan frekuensi sampling 150 MHz. Hasil pengujian menunjukkan bahwa untuk memperoleh nilai SNR yang optimal, frekuensi sampling yang digunakan idealnya berada pada kisaran 4

hingga 5 kali lipat dari frekuensi sinyal. Selain itu, pengaturan prescaler juga berkontribusi dalam efisiensi waktu pemrosesan sinyal, dengan memungkinkan pengurangan jumlah buffer tanpa mengurangi kemampuan sistem dalam merekonstruksi sinyal hasil akuisisi.

Kata kunci : Data Akuisisi, FPGA, *Prescaler*, Optimasi Pemrosesan Sinyal, Kecepatan Tinggi

ABSTRACT

HIGH-SPEED DATA ACQUISITION WITH PRESCALER IMPLEMENTATION FOR BUFFER OPTIMIZATION ON ALTERA CYCLONE V FPGA

Haekal Adekey Janua

21/479416/SV/19500

Data acquisition plays an important role in modern electronics. Data acquisition is the process of capturing data from analog signals and converting it into a digital form that can be read and stored by a computer. One of the media for high-speed and high-resolution data acquisition today is FPGA. FPGA is chosen because it can acquire data in parallel across multiple channels and adjust the sampling frequency of the ADC by modifying the prescaler. The goal of this research is to compare the implementation of the prescaler and signal processing optimization at both the hardware and software levels. This research includes simulations and the implementation of the prescaler on FPGA hardware, followed by a comparison in signal processing.

This research compares data across 8 modes with simulations and the implementation of the prescaler design on FPGA. The implementation of the prescaler is carried out at the hardware level through FPGA implementation and at the software level using Python for signal processing. The hardware and software implementations are compared to understand the relationship between adjusting the prescaler on the ADC with the buffer count and the differences in signal processing speed.

The implementation is designed using Verilog and the Quartus Prime software, along with Python. This research uses the Altera Cyclone V SE FPGA hardware with the 5CSEMA4U23C6N series. The top-level design is capable of adjusting the prescaler with a maximum frequency of 150 MHz and requires 3% ALM (402 out of 15,880), 989 Flip-Flop Registers, 1% Block Memory (33,792 out of 2,764,800), 1% BRAM (4 out of 270), and 20% PLL (1 out of 5). Signal processing optimization through the implementation of a prescaler has been proven to enhance signal quality, as indicated by the highest SNR value of 84.65 dB achieved at a signal frequency of 100 kHz with a sampling frequency of 150 MHz. The results show that, to obtain optimal SNR, the sampling frequency should ideally be set at 4 to 5 times the signal frequency. Furthermore, the use

of a prescaler contributes to more efficient signal processing time by enabling a reduction in buffer size without compromising the accuracy of the reconstructed signal.

Keyword: Data Acquisition, FPGA, Prescaler, Signal Processing Optimization, High Speed