

## ABSTRACT

Matrix multiplication is a fundamental yet computationally intensive operation in numerous applications such as digital signal processing and machine learning. However, conventional software implementations on embedded systems, or more specifically microcontrollers, face significant performance challenges due to their cubic execution time scaling and heavy consumption of limited resources such as memory and clock speed. To address these constraints, this work proposes an FPGA-based matrix multiplier accelerator integrated with a Nios® V soft processor via the Avalon® Memory-Mapped interface. This hardware accelerator offloads the computational load from the processor and leverages parallelism to maintain nearly constant execution times, regardless of matrix size.

Experimental evaluations performed on a DE2-115 board reveal a stark contrast between software and hardware approaches. While the software implementation shows precipitous performance decline with increasing matrix dimensions with 1737 clock cycles for a  $1 \times 1$  matrix up to 367,000 clock cycles for a  $8 \times 8$  matrix, the proposed accelerator maintains an execution time of only around 1,070 clock cycles across different matrix sizes, this shows that the proposed accelerator achieves a performance improvement of up to 340 times compared to the software implementation. These results validate the effectiveness of the FPGA-based solution in significantly enhancing throughput in resource-constrained embedded systems and establish a promising foundation for further performance optimizations and scalable accelerator designs.

**Keywords :** Matrix Multiplication, FPGA, Nios® V, Hardware Accelerator, Embedded Systems, Performance Optimization, Avalon® Memory-Mapped Interface

## INTISARI

*Perkalian matriks merupakan operasi yang mendasar namun memiliki kompleksitas komputasi yang tinggi dalam berbagai aplikasi seperti digital signal processing dan machine learning. Implementasi software konvensional pada embedded systems terutama pada mikrokontroler kerap menghadapi tantangan performa yang signifikan karena waktu eksekusi yang meningkat secara kubik seiring dengan bertambahnya dimensi matriks, serta resource yang terbatas seperti memory dan kecepatan clock. Untuk mengatasi kendala tersebut, penelitian ini mengusulkan accelerator perkalian matriks berbasis FPGA yang terintegrasi dengan Nios® V soft processor melalui Avalon® Memory-Mapped interface. Pendekatan hardware accelerator ini dirancang untuk mengurangi beban komputasi pada prosesor utama dengan memanfaatkan paralelisme, sehingga waktu eksekusi dapat dipertahankan hampir konstan terlepas dari variasi ukuran matriks.*

*Evaluasi eksperimental yang dilakukan pada board DE2-115 menunjukkan perbedaan yang mencolok antara implementasi software dan accelerator yang diusulkan. Implementasi software membutuhkan 1737 clock cycle untuk mengerjakan perkalian matriks  $1 \times 1$  hingga 367.000 clock cycle untuk matriks  $8 \times 8$ , hal ini menunjukkan penurunan performa yang drastis seiring peningkatan dimensi matriks, sementara itu accelerator yang dikembangkan berhasil mempertahankan waktu eksekusi sekitar 1.070 siklus clock untuk berbagai ukuran matriks, hal ini menunjukkan bahwa accelerator yang dikembangkan berhasil mempercepat operasi hingga 340 kali lipat lebih cepat dibandingkan dengan implementasi software. Hasil ini memvalidasi efektivitas solusi berbasis FPGA dalam meningkatkan throughput secara signifikan pada embedded systems dengan keterbatasan resource, serta menyediakan basis yang menjanjikan untuk optimisasi performa lebih lanjut dan desain accelerator yang dapat ditingkatkan.*

**Kata Kunci :** Perkalian Matriks, FPGA, Nios® V, Hardware Accelerator, Embedded Systems, Optimisasi Performa, Avalon® Memory-Mapped Interface.