

HALAMAN PENGESAHAN	i
PERNYATAAN BEBAS PLAGIASI	iii
HALAMAN PERSEMBAHAN	iv
KATA PENGANTAR	v
DAFTAR ISI	vi
DAFTAR TABEL	ix
DAFTAR GAMBAR	x
DAFTAR SINGKATAN	xii
INTISARI	xiii
ABSTRACT	xiv
BAB I Pendahuluan	1
1.1 Latar Belakang	1
1.2 Rumusan Masalah	2
1.3 Tujuan Penelitian	2
1.4 Batasan Penelitian	3
1.5 Manfaat Penelitian	3
1.6 Sistematika Penulisan	4
BAB II Tinjauan Pustaka dan Dasar Teori	5
2.1 Tinjauan Pustaka	5
2.1.1 Penelitian Terkait <i>Low Level Control</i> pada MMC	5
2.1.2 <i>Platform</i> Kendali untuk Elektronika Daya: DSP dan FPGA	5
2.1.3 Implementasi Algoritma Kendali pada FPGA	6
2.2 Dasar Teori	7
2.2.1 <i>Modular Multi-level Converter</i> (MMC)	7
2.2.1.1 Topologi	7
2.2.1.2 Konfigurasi Submodul	7
2.2.1.3 Perhitungan Parameter MMC	9
2.2.1.4 Kendali	10
2.2.2 Skema <i>Pulse Width Modulation</i> (PWM) untuk MMC	10
2.2.3 Transformasi <i>Inverse Park</i>	12
2.2.4 Dasar-Dasar FPGA dan HDL	13
2.2.5 Komputasi Digital	13
2.2.5.1 CORDIC	13
2.2.5.2 <i>Fixed-point Arithmetic</i>	15
2.2.6 Simulasi <i>Hardware in-the Loop</i> (HIL)	16
BAB III Metode Penelitian	17



3.1	Metode yang Digunakan	18
3.1.1	Abstraksi Kendali	19
3.1.2	Topologi Submodul	20
3.1.3	Skema <i>Pulse Width Modulation</i>	21
3.1.4	Pemilihan Bentuk <i>Carrier</i>	21
3.1.5	Pemilihan Perangkat Keras FPGA	22
3.1.6	Alur Implementasi	22
3.2	Alur Tugas Akhir	23
3.3	Keterbatasan Penelitian	24
BAB IV	Hasil dan Pembahasan	27
4.1	Perancangan Spesifikasi dan Parameter Sistem MMC	27
4.1.1	Spesifikasi Sistem MMC	27
4.1.2	Perhitungan Nilai Komponen Submodul Sistem MMC	27
4.1.2.1	Perhitungan Nilai Kapasitansi Submodul MMC (C_{sm}) ..	28
4.1.2.2	Perhitungan Nilai Induktansi Lengan MMC (L_{arm})	28
4.1.3	Verifikasi Model Dasar Sistem MMC dengan Simulasi PLECS....	28
4.1.3.1	Rangkaian Konverter dalam PLECS	28
4.1.3.2	Hasil Simulasi Model pada PLECS	30
4.2	Simulasi Kendali pada QSPICE dalam Bahasa Verilog	32
4.2.1	Implementasi CORDIC	33
4.2.2	Pengujian Transformasi Kerangka Acuan dq ke abc	33
4.2.3	Pengujian PWM	34
4.3	Pengujian Sistem Kendali pada FPGA	34
4.3.1	<i>Test Setup</i>	37
4.3.2	Pengujian dengan Perubahan Pada Masukan Sudut	37
4.3.3	Pengujian <i>Deadtime</i>	37
4.4	Pengujian Sistem Kendali pada RTBox	39
4.4.1	<i>Test Setup</i>	39
4.4.2	Pengujian dengan Beban Resistif	40
4.4.3	Pengujian dengan Beban Resistif-Induktif	40
4.4.4	Pengujian dengan Variasi Masukan FPGA	40
4.4.4.1	Pengujian dengan Perubahan pada Masukan Tegangan dq	41
4.4.4.2	Pengujian dengan Perubahan pada Frekuensi Masukan Fasa (ϕ)	43
BAB V	Kesimpulan dan Saran	44
5.1	Kesimpulan	44
5.2	Saran	44
DAFTAR PUSTAKA	46



UNIVERSITAS
GADJAH MADA

**PENGEMBANGAN KENDALI LOW LEVEL BERBASIS FPGA UNTUK MODULAR MULTILEVEL
CONVERTER (MMC) DENGAN
PENGUJIAN SIMULASI REAL TIME**

Jaya Parluasan Simangunsong, Dr.-Ing. Ir. Yohan Fajar Sidik, S.T., M.Eng. ; Ir. Sigit Basuki Wibowo, S.T., M.Eng., P

Universitas Gadjah Mada, 2025 | Diunduh dari <http://etd.repository.ugm.ac.id/>

LAMPIRAN	L-1
L.1 Koneksi Perangkat (<i>Schematic</i>)	L-1
L.2 Algoritma	L-2
L.3 Konfigurasi Modul pada Perangkat Lunak dan Hasil Pengujian	L-9
L.3.1 Vivado	L-9
L.3.2 PLECS	L-12
L.3.3 QSPICE	L-13
L.3.4 Picoscope	L-14
L.3.5 Oscilloscope	L-15