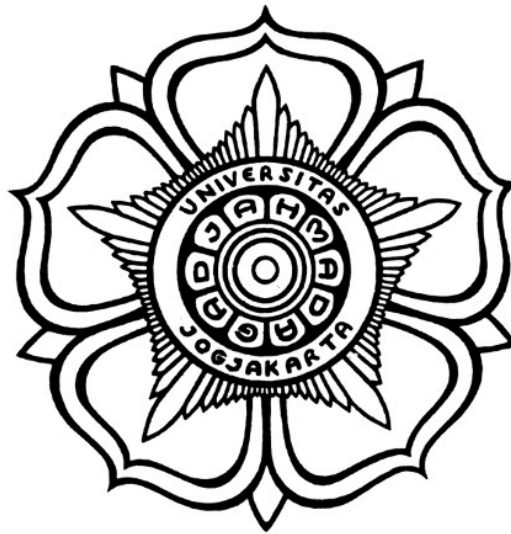


**PEMODELAN ARSITEKTUR PROSESOR RISC-V 32I
MENGUNAKAN VERILOG UNTUK TIPE INSTRUKSI *BRANCH*
(B), *UPPER* (U), DAN *JUMP* (J)**

SKRIPSI



Disusun oleh:

FANA NUGROHO WIJAYANTO
20/456091/TK/50221

**PROGRAM STUDI TEKNIK ELEKTRO
DEPARTEMEN TEKNIK ELEKTRO DAN TEKNOLOGI INFORMASI
FAKULTAS TEKNIK UNIVERSITAS GADJAH MADA
YOGYAKARTA
2024**

HALAMAN PENGESAHAN

PEMODELAN ARSITEKTUR PROSESOR RISC-V 32I MENGGUNAKAN VERILOG UNTUK TIPE INSTRUKSI *BRANCH* (B), *JUMP* (J), DAN *UPPER* (U)

SKRIPSI

Diajukan sebagai Salah Satu Syarat untuk Memperoleh

Gelar Sarjana Teknik

pada Departemen Teknik Elektro dan Teknologi Informasi Fakultas Teknik

Universitas Gadjah Mada

Disusun oleh :

Fana Nugroho Wijayanto
20/456091/TK/50221

Telah disetujui dan disahkan

pada tanggal, 06 Januari 2025

Dosen Pembimbing I



Ir. Agus Bejo, S.T., M.Eng., D.Eng., IPM.
NIP. 198001012015041002

Dosen Pembimbing II



Enas Duhri Kusuma, S.T., M.Eng.
NIP. 198211082010121002



**PEMODELAN ARSITEKTUR PROSESOR RISC-V 32I MENGGUNAKAN VERILOG
UNTUK TIPE INSTRUKSI *BRANCH* (B), *JUMP* (J), DAN *UPPER* (U)**

Dipersiapkan dan disusun oleh

Fana Nugroho Wijayanto
20/456091/TK/50221

Telah dipertahankan di depan dewan penguji
pada tanggal : **06 Januari 2025**

Susunan Dewan Penguji

Pembimbing Utama


Ir. Agus Bejo, S.T., M.Eng., D.Eng., IPM.

Pembimbing Pendamping


Enas Duhri Kusuma, S.T., M.Eng.

Anggota Dewan Penguji Lain


Ir. Addin Suwastono, S.T., M.Eng., IPM.


Prof. Ir. Oyas Wahyunggoro, M.T., Ph.D.

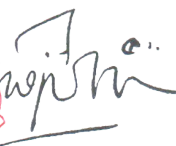
Skripsi ini telah diterima sebagai salah satu persyaratan
untuk memperoleh gelar Sarjana Teknik

Tanggal: 20 Januari 2025

Pengelola Program Studi: Sarjana Teknik Elektro


Dr.Eng. Ir. Adha Imam Cahyadi, S.T., M.Eng., IPM.
NIP 197911022008121001

Mengetahui,
Ketua Departemen Teknik Elektro dan Teknologi Informasi

Prof. Ir. Hanung Adi Nugroho, S.T., M.Eng., Ph.D., IPM., SMIEEE.
NIP 197802242002121001

