

## DAFTAR ISI

HALAMAN PENGESAHAN.....	i
PERNYATAAN BEBAS PLAGIASI .....	ii
PERNYATAAN.....	iii
KATA PENGANTAR .....	iv
DAFTAR ISI.....	vi
DAFTAR GAMBAR .....	viii
DAFTAR TABEL.....	ix
INTISARI.....	x
ABSTRACT.....	xi
BAB I PENDAHULUAN .....	12
1.1 Latar Belakang .....	12
1.2 Rumusan Masalah .....	13
1.3 Batasan Masalah.....	13
1.4 Tujuan Penelitian.....	14
1.5 Manfaat Penelitian.....	14
1.6 Metodologi Penelitian .....	14
1.7 Sistematika Penulisan.....	15
BAB II TINJAUAN PUSTAKA.....	17
2.1 <i>Physically Unclonable Function</i> .....	17
2.2 Arbiter PUF .....	18
2.3 <i>Field Programmable Gate Array</i> .....	20
BAB III LANDASAN TEORI.....	24
3.1 <i>Physical Unclonable Functions (PUF)</i> .....	24
3.2 Arbiter PUF .....	25
3.3 <i>Field Programmable Gate Array (FPGA)</i> .....	26
3.4 <i>Pipelining</i> .....	28
3.5 Artix 7 Nexys 4 .....	29
3.6 <i>VHSIC Hardware Description Language (VHDL)</i> .....	29
BAB IV ANALISA DAN PERANCANGAN.....	31
4.1 Alat dan bahan.....	31
4.2 Tahapan Penelitian .....	31
4.3 Analisis Sistem.....	32
4.4 Rancangan Model Sistem.....	33
4.5 Rancangan Implementasi .....	33
4.6 Rancangan Pengujian .....	34
BAB V IMPLEMENTASI.....	36
5.1 Implementasi Arbiter PUF .....	36
5.2 Implementasi Arbiter PUF dengan Pipelining .....	36
5.3 Modul pipeline_delay_line.....	37
5.4 <i>User Constraints</i> .....	40
5.5 Pengujian Sistem .....	41
5.6 Implementasi pada FPGA .....	45

BAB VI HASIL DAN PEMBAHASAN .....	48
6.1 Hasil Sintesis dan Implementasi Arbiter PUF.....	48
6.2 Hasil Sintesis dan Implementasi Arbiter PUF dengan Pipelining.....	49
6.3 Pengujian Implementasi pada FPGA .....	51
BAB VII KESIMPULAN DAN SARAN .....	59
7.1 Kesimpulan.....	59
7.2 Saran .....	60
DAFTAR PUSTAKA .....	61
LAMPIRAN 1 .....	63
LAMPIRAN 2 .....	65