

## INTISARI

### **IMPLEMENTASI ARBITER PHYSICAL UNCLONABLE FUNCTION (APUF) MENGGUNAKAN METODE PIPELINING PADA FPGA**

Oleh

Raden Rara Herlina Kusumaningrum

21/480564/PA/20879

Perangkat dengan sumber daya terbatas, seperti *Internet of Things* (IoT) dan sistem *embedded*, membutuhkan mekanisme keamanan yang efisien dan andal. *Arbiter Physical Unclonable Function* (APUF) merupakan salah satu solusi yang sering digunakan untuk menghasilkan kunci keamanan berbasis perangkat keras. Namun, kendala utama pada APUF terletak pada kecepatan pemrosesan dari tantangan hingga respons, serta optimasi penggunaan sumber daya. Penelitian ini bertujuan untuk meningkatkan pemrosesan APUF dengan menerapkan metode pipelining pada *Field Programmable Gate Array* (FPGA) serta memaksimalkan penggunaan sumber daya FPGA.

Hasil penelitian menunjukkan bahwa penerapan pipelining mampu meningkatkan kecepatan pemrosesan sistem secara signifikan, terutama pada aspek-aspek *timing* seperti *propagation delay*, *setup time*, dan *hold time* di frekuensi 50 MHz, 100 MHz, dan 200 MHz. Pada frekuensi 200 MHz, *propagation delay* menurun sebesar 27,94%, *setup time* sebesar 19,58%, dan *hold time* sebesar 33,33%. Meskipun penggunaan sumber daya pada *Lookup Table* (LUT) meningkat sebesar 6,7% akibat penambahan register di setiap tahap pipelining, tidak terdapat perubahan signifikan pada konsumsi daya total dengan rata-rata perubahan sebesar 0%. Dengan demikian, metode pipelining terbukti efektif meningkatkan performa APUF tanpa mengorbankan efisiensi daya secara keseluruhan.

**Kata kunci:** *Arbiter PUF, pipelining, FPGA*

## **ABSTRACT**

### **IMPLEMENTATION OF ARBITER PHYSICAL UNCLONABLE FUNCTION (APUF) USING PIPELINING METHOD ON FPGA**

by

Raden Rara Herlina Kusumaningrum

21/480564/PA/20879

*Devices with limited resources, such as the Internet of Things (IoT) and embedded systems, require efficient and reliable security mechanisms. Arbiter Physical Unclonable Function (APUF) is one of the commonly used solutions for generating hardware-based security keys. However, the primary challenge in APUF lies in the speed of processing from challenge to response, as well as optimizing resource utilization. This research aims to enhance APUF processing by implementing a pipelining method on a Field Programmable Gate Array (FPGA) and optimizing the utilization of FPGA resources.*

*The results of the study show that the implementation of pipelining significantly improves the system's processing speed, particularly in the timing aspects of propagation delay, setup time, and hold time at various frequencies tested—50 MHz, 100 MHz, and 200 MHz. At 200 MHz, propagation delay decreased by 27.94%, setup time by 19.58%, and hold time by 33.33%. Although resource usage increased by 6.7% in the Lookup Table (LUT) due to the additional registers at each pipelining stage, there was no significant change in total power consumption, with an average change of 0%. Thus, the application of pipelining proves to be effective in enhancing APUF performance without sacrificing overall power efficiency.*

**Keywords:** Arbiter PUF, Pipelining, FPGA