

DAFTAR ISI

| | |
|---|-----|
| DAFTAR ISI | vi |
| DAFTAR GAMBAR | iii |
| DAFTAR TABEL | v |
| INTISARI..... | 6 |
| ABSTRACT..... | 7 |
| BAB I PENDAHULUAN | 1 |
| 1.1 Latar Belakang | 1 |
| 1.2 Rumusan Masalah | 3 |
| 1.3 Batasan Masalah..... | 3 |
| 1.4 Tujuan Penelitian | 3 |
| 1.5 Manfaat Penelitian | 3 |
| 1.6 Metodologi Penelitian | 4 |
| 1.7 Sistematika Penulisan..... | 4 |
| BAB II TINJAUAN PUSTAKA..... | 6 |
| BAB III DASAR TEORI | 11 |
| 3.1 Servomotor..... | 11 |
| 3.1.1 <i>Pulse Width Modulation</i> | 12 |
| 3.1.2 <i>Degree of Freedom (DOF)</i> | 13 |
| 3.2 <i>Field Programmable Gate Array (FPGA)</i> | 13 |
| 3.2.1 Open source..... | 15 |
| 3.2.2 Lattice iCE40 | 16 |
| 3.3 Verilog..... | 17 |
| 3.4 Yosys..... | 18 |
| 3.5 <i>Nextpnr</i> | 18 |
| BAB IV PERANCANGAN SISTEM..... | 21 |
| 4.1 Alat dan Bahan..... | 21 |
| 4.2 Rancangan Model Perangkat Keras | 21 |
| 4.3 Rancangan Sistem Keseluruhan..... | 22 |
| 4.4 Rancangan <i>Phase Locked Loop</i> | 25 |



| | | |
|------------------------------------|--|----|
| 4.5 | <i>Clock</i> Sistem..... | 27 |
| 4.6 | Rancangan Modul Kendali <i>Servo</i> | 27 |
| 4.7 | Rancangan Modul PWM..... | 29 |
| 4.8 | Finite <i>State</i> Machine (FSM)..... | 31 |
| 4.9 | Rancangan Top Level | 33 |
| 4.10 | Rancangan Sistem <i>Open source</i> EDA..... | 34 |
| 4.11 | Tahapan Pengujian | 36 |
| BAB V IMPLEMENTASI | | 39 |
| 5.1 | Implementasi Perangkat Keras..... | 39 |
| 5.2 | Implementasi Rangkaian Sistem | 40 |
| 5.3 | Implementasi Top Level | 41 |
| 5.4 | Implementasi Modul <i>Phase Locked Loop</i> | 43 |
| 5.5 | Implementasi Modul Kendali <i>Servo</i> | 44 |
| 5.6 | Implementasi Modul PWM..... | 45 |
| 5.7 | Implementasi Modul FSM | 47 |
| 5.8 | Implementasi <i>Testbench File</i> | 48 |
| 5.9 | Implementasi <i>Constraint File</i> | 50 |
| 5.10 | Pengujian <i>Open source</i> | 53 |
| 5.11 | Pengujian Robot 6 <i>Degree of Freedom</i> (DOF) | 55 |
| BAB VI HASIL DAN PEMBAHASAN | | 58 |
| 6.1 | Hasil Pengujian Perubahan sudut dan <i>Duty cycle</i> pada Simulasi Gtksave..... | 58 |
| 6.2 | Hasil Pengujian Sumber Daya | 59 |
| 6.3 | Hasil Konsumsi waktu dan sinyal <i>clock</i> | 62 |
| 6.4 | Hasil Pemosisian <i>Servo</i> : Analisis penyesuaian sudut dan sinkronisasi <i>duty cycle</i> | 64 |
| BAB VII KESIMPULAN DAN SARAN | | 67 |
| 7.1 | Kesimpulan | 67 |
| 7.2 | Saran..... | 68 |
| DAFTAR PUSTAKA | | 69 |

DAFTAR GAMBAR

| | |
|---|----|
| Gambar 3.1 Servomotor | 11 |
| Gambar 3.2 Sinyal Kendali Servo (Pratama et al., 2015) | 12 |
| Gambar 3.3 PWM Duty cycle (Abdelmoniem et al., 2015)..... | 13 |
| Gambar 3.4 Prinsip PWM (Abdelmoniem et al., 2015)..... | 13 |
| Gambar 3.5 Stuktur FPGA secara umum (Brown dan Vranesic, 2009) | 14 |
| Gambar 3.6 Alur FPGA CAD (Khadilkar dan Margala, 2022) | 15 |
| Gambar 3.7 Blok Diagram iCE40 | 17 |
| Gambar 3.8 Simpel RTL netlist menggunakan Yosys | 18 |
| Gambar 3.9 Rincian nextpnr dengan arsitektur spesifik. (Shah et al., 2019)..... | 19 |
| Gambar 3.10 Nextpnr grafik antarmuka (Shah et al., 2019)..... | 20 |
| Gambar 4.1 Rancangan Perangkat Keras | 22 |
| Gambar 4.2 Rancangan Sistem | 23 |
| Gambar 4. 3 Diagram PLL..... | 26 |
| Gambar 4.4 Blok Diagram Jalur Sinyal Perhitungan Duty cycle | 29 |
| Gambar 4.5 Algoritma PWM..... | 30 |
| Gambar 4.6 Alur Finite State Machine (FSM)..... | 31 |
| Gambar 4.7 Alur Open source FPGA | 35 |
| Gambar 5.1 Implementasi Perangkat Keras | 39 |
| Gambar 5.2 Implementasi Rangkaian Sistem | 40 |
| Gambar 5.3 Entitas Top Level | 41 |
| Gambar 5.4 Potongan Program Phase Locked Loop | 43 |
| Gambar 5. 5 Kontrol Servo Interpolasi Linear dan Look Up Table block RAM . | 44 |
| Gambar 5.6 Implementasi Sinyal PWM | 45 |
| Gambar 5. 7 Program Alur Finite State Machine (FSM)..... | 47 |
| Gambar 5.8 Program Testbench..... | 49 |
| Gambar 5. 9 Constraint File | 51 |
| Gambar 5. 10 Ekstensi untuk Lattice Icestick..... | 51 |
| Gambar 5.11 Template constraint file pada Icestick..... | 52 |
| Gambar 5. 12 Penempatan variasi pmod manual untuk icestick | 52 |



| | |
|--|----|
| Gambar 5. 13 Command untuk simulasi pada APIO | 53 |
| Gambar 5. 14 Tampilan Gtckwave | 54 |
| Gambar 5. 15 Apio build..... | 54 |
| Gambar 5.16 Apio upload..... | 55 |
| Gambar 5. 17 Tuning posisi | 56 |
| Gambar 5.18 Pengujian Fisik..... | 57 |
| Gambar 6.1 Hasil Pengujian GTKWave | 58 |
| Gambar 6.2 Hasil sintesis pada konfigurasi komponen sinyal | 60 |
| Gambar 6.3 Statistik Top Level | 60 |
| Gambar 6.4 Informasi pemanfaatan sumber daya FPGA | 61 |
| Gambar 6.5 Konsumsi waktu dan frekuensi | 63 |
| Gambar 6.6 Performa Sinyal Clock | 63 |

DAFTAR TABEL

| | |
|--|----|
| Tabel 2.1 Tabel Perbandingan Penelitian..... | 9 |
| Tabel 4.1 Komponen..... | 21 |
| Tabel 4.2 Peralatan Penunjang..... | 21 |
| Table 6.1 Data sumber daya pada FPGA | 61 |
| Table 6.2 Perubahan sudut <i>servo</i> | 64 |
| Table 6.3 Sinkronisasi <i>Duty cycle</i> | 65 |