

## DAFTAR ISI

HALAMAN COVER.....	I
HALAMAN JUDUL.....	II
HALAMAN PENGESAHAN.....	III
PERNYATAAN.....	IV
HALAMAN PERSEMBAHAN .....	V
PRAKATA.....	VI
DAFTAR ISI .....	VII
DAFTAR GAMBAR .....	IX
DAFTAR TABEL.....	XI
INTISARI.....	XII
ABSTRACT.....	XIII
BAB I PENDAHULUAN .....	1
1.1 Latar Belakang .....	1
1.2 Rumusan Masalah .....	3
1.3 Batasan Masalah.....	3
1.4 Tujuan Penelitian.....	4
1.5 Manfaat Penelitian .....	4
1.6 Sistematika Penulisan .....	4
BAB II TINJAUAN PUSTAKA .....	6
BAB III LANDASAN TEORI.....	11
3.1 Keamanan Perangkat Keras .....	11
3.1.1 <i>Hardware IP piracy</i> dan <i>reverse engineering</i> .....	12
3.1.2 <i>Countermeasure reverse engineering</i> .....	12
3.2 <i>Logic locking</i> .....	13
3.3 Kerentanan <i>logic locking</i> .....	14
3.3.1 <i>SAT-Attack</i> .....	15
3.3.2 <i>Learning-Attack</i> .....	15
3.4 Metode pengamanan <i>logic locking</i> .....	16
3.4.1 Deceptive logic locking (D-mux) .....	16
3.4.2 Blok anti-SAT .....	17
3.5 Field Programmable Gate Array .....	18
BAB IV ANALISIS DAN RANCANGAN SISTEM .....	20
4.1 Analisis Permasalahan.....	20
4.1.1 Analisis <i>SAT-Attack</i> .....	20
4.1.2 Analisis <i>Learning-Attack</i> .....	21
4.1.3 Analisis blok <i>Anti-SAT</i> .....	22
4.1.4 Analisis <i>Deceptive Multiplexer</i> .....	23
4.1.5 Analisis Komprehensif.....	23
4.2 Rancangan Sistem .....	24
4.2.1 Ide Penyelesaian Masalah .....	24
4.2.2 Integrasi <i>Anti-SAT</i> dan <i>Deceptive Multiplexer</i> .....	25
4.2.3 Rancangan diagram sistem keseluruhan .....	27

4.2.4 Rancangan blok <i>Anti-SAT</i> dalam <i>verilog</i> .....	30
4.2.5 Rancangan <i>Deceptive Multiplexer</i> dalam <i>verilog</i> .....	31
4.2.6 Rancangan integrasi <i>top level</i> pada <i>verilog</i> .....	32
4.2.7 Skema Pengujian .....	33
BAB V IMPLEMENTASI .....	34
5.1 Implementasi Skema <i>Logic Locking</i> yang Telah Dirancang pada Suatu <i>Circuit</i> .....	34
5.2 Dataset yang Diimplementasikan Skema <i>Logic Locking</i> .....	36
5.3 Implementasi pada Level <i>RTL</i> .....	37
5.3.1 Implementasi C17 .....	37
5.3.2 Implementasi C432 .....	38
5.3.3 Implementasi C499 .....	39
5.3.4 Implementasi C880 .....	40
5.3.5 Implementasi C1355 .....	41
5.3.6 Implementasi C1908 .....	42
5.3.7 Implementasi C2670 .....	42
5.3.8 Implementasi C3540 .....	43
5.3.9 Implementasi C5315 .....	44
5.3.10 Implementasi C6288 .....	45
5.3.11 Implementasi C7552 .....	46
BAB VI HASIL DAN PEMBAHASAN .....	48
6.1 Pengujian Fungsionalitas .....	48
6.1.1 Hasil uji fungsionalitas pada simulasi menggunakan implementasi C17 .....	48
6.2 Pengujian <i>Overhead</i> .....	50
6.2.1 Pembahasan <i>Overhead</i> .....	53
BAB VII .....	57
7.1 Kesimpulan .....	57
7.2 Saran .....	57
DAFTAR PUSTAKA .....	58