

DAFTAR ISI

	Halaman
HALAMAN JUDUL	i
HALAMAN PENGESAHAN	ii
HALAMAN PERNYATAAN	iii
HALAMAN PERSEMBAHAN	iv
KATA PENGANTAR	v
DAFTAR ISI	vii
DAFTAR TABEL	x
DAFTAR GAMBAR	xii
DAFTAR LAMPIRAN	xv
INTISARI	xvi
ABSTRACT	xv
BAB I. PENDAHULUAN	1
I.1. Latar Belakang	1
I.2. Perumusan Masalah	3
I.3. Tujuan Penelitian	3
I.4. Metode Penelitian	4
I.5. Keaslian Penelitian	10
I.6. Manfaat Penelitian	11
I.7. Batasan Penelitian	11
BAB II. LANDASAN TEORI	12
II.1. Pemrosesan Sinyal Digital	12

II.1.1. Elemen-elemen Dasar Pemrosesan Sinyal Digital ..	13
II.1.2. Kelebihan Pemrosesan Sinyal Digital	15
II.2. Arsitektur FPGA	17
II.2.1. Konfigurasi Logik Blok	17
II.2.2. Input/Output Blok (IOB)	18
II.2.3. Programmable Interconnects	19
II.3. Penulisan Deskripsi VHDL	19
II.3.1. Pemodelan Sistem Rancangan Dengan Deskripsi VHDL	19
II.3.2. Komponen VHDL	21
II.3.3. Proses Sintesis	22
II.3.4. Aturan-aturan Sintesis VHDL Untuk FPGA	23
II.3.5. Implementasi Menggunakan ROM	24
II.4. Alihragam Fourier Diskrit (DFT)	25
II.4.1. Deret Fourier Diskrit	25
II.4.2. Alihragam Fourier Diskrit	27
II.4.3. Sifat-sifat DFT	31
II.4.4. Perhitungan DFT	33
II.5. Alihragam Fourier Cepat	34
II.6. Hipotesis	41
BAB III. METODELOGI PENELITIAN	42
III.1. Obyek Penelitian	42
III.2. Alat Penelitian	42
III.3. Langkah Penelitian	42

III.4. Desain Arsitektur Alihragam Fourier Cepat	45
III.5. Blok Diagram Prosesor FFT	46
III.5.1. Komponen Pemroses Butterfly	48
III.5.2. Komponen Pembangkit Alamat (AGU)	50
III.5.3. Komponen Pembangkit Butterfly	51
III.5.4. Komponen Pembangkit Stage/tingkatan	52
III.5.5. Blok Pemroses Stage done_IO	52
III.5.6. Pembangkit Alamat IO	52
III.5.7. Pembangkit Indeks Dasar	53
III.5.8. Pengendali	55
III.5.9. RAM dan ROM	55
III.5.10. Penggeser (Shifters)	55
III.5.11. Pembangkit Alamat ROM	56
III.6. Penyekalaan	56
BAB IV. HASIL PENELITIAN DAN PEMBAHASAN	58
IV.1. Simulasi Logik dan Implementasi Pada Komponen Penyusun Prosesor FFT	58
IV.2 Implementasi Perangkat Keras FFT	76
IV.3. Uji Coba Perangkat Keras FFT Dengan Menggunakan Testbench	78
BAB V. KESIMPULAN DAN SARAN	82
V.1. Kesimpulan	82
V.2. Saran	83
DAFTAR PUSTAKA	84

DAFTAR TABEL

	Halaman
Tabel 1.1. Macam-macam masukan Desain (Design Entry)	8
Tabel 2.1. Perhitungan Teoritis Jumlah CLB	25
Tabel 3.1. Urutan Elemen Pemroses Butterfly	50
Tabel 3.2. Pembangkit Index dasar	53
Tabel 3.3. Representasi Biner untuk Indeks 0 pada 16 Titik FFT	54
Tabel 4.1. Pemakaian Sumberdaya Komponen Subtractor	59
Tabel 4.2. Pemakaian Sumberdaya Komponen Swap	60
Tabel 4.3. Pemakaian Sumberdaya Komponen Shift	60
Tabel 4.4. Pemakaian Sumberdaya Komponen Control_main	61
Tabel 4.5. Pemakaian Sumberdaya Komponen Summer	62
Tabel 4.6. Pemakaian Sumberdaya Komponen Normalize	62
Tabel 4.7. Pemakaian Sumberdaya Komponen but_gen	63
Tabel 4.8. Pemakaian Sumberdaya Komponen Stage_gen	63
Tabel 4.9. Pemakaian Sumberdaya Komponen lod_staged	64
Tabel 4.10. Pemakaian Sumberdaya Komponen Baseindex	64
Tabel 4.11. Pemakaian Sumberdaya Komponen loadd_gen	65
Tabel 4.12. Pemakaian Sumberdaya Komponen Mux_add	66
Tabel 4.13. Pemakaian Sumberdaya Komponen Ram_shift	66
Tabel 4.14. Pemakaian Sumberdaya Komponen Cycles	67
Tabel 4.15. Pemakaian Sumberdaya Komponen Counter	67

Tabel 4.16. Pemakaian Sumberdaya Komponen Mult_clock	68
Tabel 4.17. Pemakaian Sumberdaya Komponen Cont_gen	68
Tabel 4.18. Pemakaian Sumberdaya Komponen And_gates	69
Tabel 4.19. Pemakaian Sumberdaya Komponen R_block	70
Tabel 4.20. Pemakaian Sumberdaya Komponen L_block	70
Tabel 4.21. Pemakaian Sumberdaya Komponen Level_edge	71
Tabel 4.22. Pemakaian Sumberdaya Komponen Mux	71
Tabel 4.23. Pemakaian Sumberdaya Komponen Negate	72
Tabel 4.24. Pemakaian Sumberdaya Komponen Multiply	73
Tabel 4.25. Pemakaian Sumberdaya Komponen Divide	73
Tabel 4.26. Pemakaian Sumberdaya Komponen Romad_gen	74
Tabel 4.27. Pemakaian Sumberdaya Komponen Reg_dpram	74
Tabel 4.28. Pemakaian Sumberdaya Komponen ROM	75
Tabel 4.29. Pemakaian Sumberdaya Perangkat Keras FFT	76
Tabel 4.30. Waktu Tunda Maksimum dan Frekuensi Maksimum masing-masing Komponen	77
Tabel 4.31. Hasil Pengujian untuk 16 Titik FFT dengan Faktor Skala 10	80
Tabel 4.32. Perbandingan Faktor Skala	81

DAFTAR GAMBAR

	Halaman
Gambar 1.1. Langkah-langkah Metodologi Penelitian	5
Gambar 1.2. Tampilan Foundation Series : Project Manager	6
Gambar 1.3. Kotak Dialog Buat Proyek Baru	7
Gambar 1.4. Tampilan Editor untuk HDL	8
Gambar 1.5. Tampilan Kotak Dialog Proses Implementasi	9
Gambar 1.6. Tampilan Proses Implementasi	10
Gambar 2.2. Diagram Blok dari Sinyal Digital proses Sistem	14
Gambar 2.3. CLB dari FPGA Seri XC4000	18
Gambar 2.4. Hubungan Antara C dan $x(n)$ untuk $M < N(b)$ dan $M > N(c)$..	30
Gambar 2.5. Diagram Alir Penghitungan DFT untuk $N=8$ Setelah dilakukan Desimasi 1 kali pada $x(n)$	36
Gambar 2.6. Diagram Alir Penghitungan DFT untuk $N=8$ Setelah dilakukan Desimasi2 kali pada $x(n)$	37
Gambar 2.7. Diagram Alir Penghitungan DFT untuk $N=8$ Setelah dilakukan Desimasi secara lengkap	38
Gambar 2.8. Diagram Alir Penghitungan DFT-2 Data sebagai Dasar Metode FFT Desimasi Waktu	39
Gambar 2.9. Diagram Alir Penghitungan DFT Desimasi Waktu dengan Menggunakan Operasi Silang	40
Gambar 2.10. Diagram Alir Penghitungan DFT Desimasi Waktu	

dengan Masukan $x(n)$ Urutan Normal	41
Gambar 3.1. Diagram Alir Langkah Perancangan	44
Gambar 3.2. Proses Perhitungan FFT	45
Gambar 3.3. Diagram Datar Prosesor FFT	47
Gambar 3.4. Unit Pemroses Butterfly	49
Gambar 3.5. Bentuk Gelombang Siklus Klok yang digunakan dalam Prosesor FFT	49
Gambar 3.6. Unit Pembangkit Alamat	51
Gambar 3.7. Penyekalaan	57
Gambar 4.1. Simulasi Fungsional Komponen Subtractor	59
Gambar 4.2. Simulasi Fungsional Komponen Swap	60
Gambar 4.3. Simulasi Fungsional Komponen Shift	61
Gambar 4.4. Simulasi Fungsional Komponen Control_main	61
Gambar 4.5. Simulasi Fungsional Komponen Summer	62
Gambar 4.6. Simulasi Fungsional Komponen Normalize	62
Gambar 4.7. Simulasi Fungsional Komponen But_gen	63
Gambar 4.8. Simulasi Fungsional Komponen Stage_gen	63
Gambar 4.9. Simulasi Fungsional Komponen lod_staged	64
Gambar 4.10. Simulasi Fungsional Komponen Baseindex	65
Gambar 4.11. Simulasi Fungsional Komponen loadd_gen	65
Gambar 4.12. Simulasi Fungsional Komponen Mux_add	66
Gambar 4.13. Simulasi Fungsional Komponen Ram_shift	66
Gambar 4.14. Simulasi Fungsional Komponen Cycles	67

Gambar 4.15. Simulasi Fungsional Komponen Counter	67
Gambar 4.16. Simulasi Fungsional Komponen Mult_clock	68
Gambar 4.17. Simulasi Fungsional Komponen Cont_gen	69
Gambar 4.18. Simulasi Fungsional Komponen And_gates	69
Gambar 4.19. Simulasi Fungsional Komponen R_block	70
Gambar 4.20. Simulasi Fungsional Komponen L_block	70
Gambar 4.21. Simulasi Fungsional Komponen Level_edge	71
Gambar 4.22. Simulasi Fungsional Komponen Mux	72
Gambar 4.23. Simulasi Fungsional Komponen Negate	72
Gambar 4.24. Simulasi Fungsional Komponen Multiply	73
Gambar 4.25. Simulasi Fungsional Komponen Divide	73
Gambar 4.26. Simulasi Fungsional Komponen Romadd_gen	74
Gambar 4.27. Simulasi Fungsional Komponen Reg_dpram	75
Gambar 4.28. Simulasi Fungsional Komponen ROM	75
Gambar 4.29. Simulasi Fungsional Perangkat Keras FFT	76
Gambar 4.30. Diagram Blok FFT Testbench	78

DAFTAR LAMPIRAN

	Halaman
Lampiran 1. Deskripsi VHDL dari Komponen-komponen Penyusun	
Prosesor FFT	86
Lampiran 2. Deskripsi VHDL Testbench Untuk Menguji Prosesor FFT	
16 Titik	105
Lampiran 3. Pemetaan Hasil Download Prosesor FFT 16 Titik pada	
FPGA XC4025-ECB-228-2	113
Lampiran 4. Laporan (Report) Hasil Implementasi Prosesor FFT 16	
Titik pada FPGA XC4025-ECB-228-2	116
Lampiran 5. Gambar Skematik Prosesor FFT 16 Titik	127