



UNIVERSITAS
GADJAH MADA

Implementasi alihragam fourier cepat dengan deskripsi VHDL berbasis FPGA
IRMAWAN, Dr. Jazi Eko Istiyanto, MSc

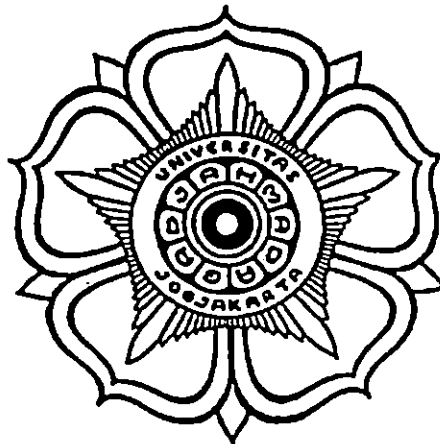
Universitas Gadjah Mada, 2003 | Diunduh dari <http://etd.repository.ugm.ac.id/>

IMPLEMENTASI ALIHRAGAM FOURIER CEPAT DENGAN DESKRIPSI VHDL BERBASIS FPGA

Tesis

Untuk memenuhi sebagian persyaratan
mencapai derajat Sarjana S-2

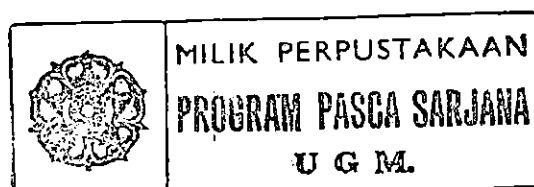
Program Studi Teknik Elektro
Jurusan Ilmu Teknik



diajukan Oleh
Irmawan
13071/I-1/1231/99

Kepada
PROGRAM PASCASARJANA
UNIVERSITAS GADJAH MADA
YOGYAKARTA

2003





UNIVERSITAS
GADJAH MADA

Implementasi alihragam fourier cepat dengan deskripsi VHDL berbasis FPGA
IRMAWAN, Dr. Jazi Eko Istiyanto, MSc

Universitas Gadjah Mada, 2003 | Diunduh dari <http://etd.repository.ugm.ac.id/>

(3739)	MILIK PERPUSTAKAAN PASCASARJANA UGM
INV :	3437/H/2003
LABEL :	T 621.391 IAM 1
T.SUBJ:	lcpv - FPGA - alih rragam fourier

XVII, 135



Tesis

IMPLEMENTASI ALIHRAGAM FOURIER CEPAT DENGAN DESKRIPSI VHDL BERBASIS FPGA

dipersiapkan dan disusun oleh
Irmawan
13071/I-1/1231/99
telah dipertahankan di depan Dewan Penguji
pada tanggal 21 Agustus 2003

Susunan Dewan Penguji

Pembimbing Utama

Dr. Jazi Eko Istiyanto, M.Sc.

Pembimbing Pendamping I

Dr. Ir. Th. Sri Widodo, DEA.

Pembimbing Pendamping II

Anggota Dewan Penguji Lain

Prof. Adhi Susanto, M.Sc., Ph.D.

Ir. Bambang Sutopo, M.Phil.

Tesis ini telah diterima sebagai salah satu persyaratan
untuk memperoleh gelar Magister



Tanggal 26 Agustus 2003

H. Tumiran, M.Eng., Ph.D.

Pengelola Program Studi : ...Teknik Elektro