



DAFTAR ISI

HALAMAN PENGESAHAN	ii
PERNYATAAN BEBAS PLAGIASI	iii
PRAKATA	v
ARTI LAMBANG DAN SINGKATAN	viii
ABSTRACT	ix
INTISARI	x
DAFTAR ISI	xi
DAFTAR GAMBAR	xiv
DAFTAR TABEL	xvii
BAB I Pendahuluan	1
1.1 Latar Belakang	1
1.2 Perumusan Masalah	2
1.3 Keaslian Penelitian	2
1.4 Tujuan Penelitian	3
1.5 Manfaat Penelitian	3
1.6 Batasan Masalah	3
BAB II Tinjauan Pustaka dan Landasan Teori	4
2.1 Tinjauan Pustaka	4
2.2 Landasan Teori	5
2.2.1 Modulasi	5
2.2.2 Modulasi Analog	7
2.2.2.1 <i>Amplitude Modulation (AM)</i>	7
2.2.2.2 <i>Frequency Modulation (FM)</i>	16
2.2.2.3 <i>Phase Modulation (PM)</i>	17
2.2.3 Modulasi Digital	18
2.2.3.1 <i>Amplitude Shift Keying (ASK)</i>	19
2.2.3.2 <i>Frequency Shift Keying (FSK)</i>	21
2.2.3.3 <i>Phase Shift Keying (PSK)</i>	22
2.2.4 Modulasi <i>Quadrature Phase Shift Keying (QPSK)</i>	23
2.2.5 Gerbang Logika	27
2.2.5.1 Gerbang AND	28
2.2.5.2 Gerbang OR	28
2.2.5.3 Gerbang NOT	29
2.2.5.4 Gerbang NAND	30
2.2.5.5 Gerbang NOR	31
2.2.5.6 Gerbang X-OR	32
2.2.5.7 Gerbang X-NOR	32
2.2.6 Flip-Flop	33
2.2.6.1 SR Flip-Flop	34
2.2.6.2 D Flip-Flop	35
2.2.6.3 JK Flip-Flop	35
2.2.6.4 T Flip-Flop	36



2.2.7	<i>Balanced Modulator</i>	37
2.2.7.1	MC1496	39
2.2.7.2	AD630.....	39
2.2.8	<i>Operational Amplifier</i>	40
2.2.8.1	Penguat <i>Inverting</i>	41
2.2.8.2	Penguat <i>Non-Inverting</i>	42
2.2.8.3	Penguat Penjumlahan	43
2.2.8.4	<i>Comparator</i>	45
2.2.8.5	<i>Integrator</i>	46
2.2.8.6	<i>Differentiator</i>	46
2.2.9	Filter	47
2.2.9.1	Filter Berdasarkan Sifat Penguatannya	47
2.2.9.2	Filter Berdasarkan Daerah Frekuensi yang Dilewatkan	49
2.2.9.3	Filter Berdasarkan Bentuk Respon Frekuensi terhadap <i>Gain</i>	55
2.2.10	<i>Phase Locked Loop</i> (PLL)	58
2.3	Hipotesis.....	60
	BAB III Metodologi	61
3.1	Alat dan Bahan.....	61
3.1.1	Alat	61
3.1.1.1	<i>Software</i>	61
3.1.1.2	<i>Hardware</i>	61
3.1.2	Bahan	62
3.1.3	Jalannya Penelitian	62
3.1.4	Identifikasi Masalah.....	63
3.1.5	Studi Pustaka	63
3.1.6	Perancangan Modulator dan Demodulator QPSK	63
3.1.7	Simulasi Modulator dan Demodulator QPSK	63
3.1.8	Analisa Hasil	64
3.2	Perancangan Sistem.....	64
3.2.1	Modulator	64
3.2.1.1	Rangkaian Pembagi Data Ganjil dan Data Genap ..	65
3.2.1.2	<i>Balanced Modulator</i>	72
3.2.1.3	<i>Op-Amp Adder</i>	73
3.2.1.4	Rangkaian Keseluruhan Modulator QPSK	75
3.2.2	Demodulator.....	77
3.2.2.1	<i>Balanced Modulator</i>	78
3.2.2.2	<i>Low Pass Filter</i>	79
3.2.2.3	<i>Bit Regenerator</i>	85
3.2.2.4	<i>Clock Recovery</i>	87
3.2.2.5	<i>Parallel to Serial Converter</i>	88
3.2.2.6	Rangkaian Keseluruhan Demodulator QPSK	89
3.3	Cara Analisis	90



BAB IV HASIL DAN PEMBAHASAN	92
4.1 Simulasi Rangkaian Modulator	92
4.1.1 Pembagi Data Ganjil dan Data Genap	92
4.1.2 <i>Balanced Modulator</i>	93
4.1.3 Hasil Akhir Keluaran Sinyal QPSK	94
4.2 Simulasi Rangkaian Demodulator	97
4.2.1 <i>Balanced Modulator</i>	97
4.2.2 <i>Low Pass Filter</i>	98
4.2.3 <i>Bit Regenerator</i>	98
4.2.4 <i>Clock Recovery</i>	99
4.2.5 <i>Parallel to Serial Converter</i>	100
BAB V KESIMPULAN DAN SARAN	102
5.1 Kesimpulan	102
5.2 Saran	102
DAFTAR PUSTAKA	103